المملكة العربية السعودية
المؤسسة العامة للتدريب التقني والمهني
الإدارة العامة لتصميم وتطوير المناهج

# تخصص اتصالات

## الدوائر المنطقية والمعالجات الدقيقة

١٢٣ تصل

طبعة ١٤٢٩ هـ

# مقدمة

الحمد لله وحده، والصلاة والسلام على من لا نبي بعده، محمد وعلى آله وصحبه، وبعد:

تسعى المؤسسة العامة للتدريب التقني والمهني لتأهيل الكوادر الوطنية المدربة القادرة على شغل الوظائف التقنية والفنية والمهنية المتوفرة في سوق العمل، ويأتي هذا الاهتمام نتيجة للتوجهات السديدة من لدن قادة هذا الوطن التي تصب في مجملها نحو إيجاد وطن متكامل يعتمد ذاتياً على موارده وعلى قوة شبابه المسلح بالعلم والإيمان من أجل الاستمرار قدماً في دفع عجلة التقدم التنموي؛ لتصل بعون الله تعالى لمصاف الدول المتقدمة صناعياً.

وقد خطت الإدارة العامة لتصميم وتطوير المناهج خطوة إيجابية تتفق مع التجارب الدولية المتقدمة في بناء البرامج التدريبية، وفق أساليب علمية حديثة تحاكي متطلبات سوق العمل بكافة تخصصاته لتلبي متطلباته ، وقد تمثلت هذه الخطوة في مشروع إعداد المعايير المهنية الوطنية الذي يمثل الركيزة الأساسية في بناء البرامج التدريبية، إذ تعتمد المعايير في بنائها على تشكيل لجان تخصصية تمثل سوق العمل والمؤسسة العامة للتدريب التقني والمهني بحيث تتوافق الرؤية العلمية مع الواقع العملي الذي تفرضه متطلبات سوق العمل، لتخرج هذه اللجان في النهاية بنظرة متكاملة لبرنامج تدريبي أكثر التصاقاً بسوق العمل، وأكثر واقعية في تحقيق متطلباته الأساسية.

وتتناول هذه الحقيبة التدريبية " **الدوائر المنطقية والمعالجات الدقيقة** " لمتدربي تخصص "**الاتصالات**" في الكليات التقنية موضوعات حيوية تتناول كيفية اكتساب المهارات اللازمة لهذا التخصص.

والإدارة العامة لتصميم وتطوير المناهج وهي تضع بين يديك هذه الحقيبة التدريبية تأمل من الله عز وجل أن تسهم بشكل مباشر في تأصيل المهارات الضرورية اللازمة، بأسلوب مبسط يخلو من التعقيد، وبالاستعانة بالتطبيقات والأشكال التي تدعم عملية اكتساب هذه المهارات.

والله نسأل أن يوفق القائمين على إعدادها والمستفيدين منها لما يحبه ويرضاه؛ إنه سميع مجيب الدعاء.

الإدارة العامة لتصميم وتطوير المناهج

# الدوائر المنطقية والمعالجات الدقيقة

## نظم العد

# الوحدة الأولى: نظم العد

**الجدارة :** التعرف على نظم العد المختلفة.

**الأهداف :** أن يتعرف المتدرب بإذن الله على الموضوعات التالية:

١. النظام العشري للعد.
٢. النظام الثنائي للعد.
٣. النظام السداسي العشري للعد.
٤. التحويل بين هذه الأنظمة.
٥. العمليات الحسابية في نظم العد.

**مستوى الأداء المطلوب :** أن يصل المتدرب إلى إتقان الجدارة ٩٠٪.

**الوقت المتوقع للتدرب على الجدارة:** ٣ ساعات

**الوسائل المساعدة:**

- السبورة
- استخدام برنامج Power point لعرض المحاضرات باستخدام جهاز عرض البيانات.

**متطلبات الجدارة:** أن يكون المتدرب ملماً بأساسيات الدوائر الكهربائية ولديه القدرة على التعامل مع أنظمة الأعداد.

## مقـــــــــدمة Introduction

تستعرض هذه الوحدة النظام الثنائي للأعداد (Binary number system) وعلاقته بالأنظمة المختلفة للأعداد حيث يعتبر من أهم نظم الأعداد المستخدمة في الدوائر الإلكترونية الرقمية ( Digital Electronic Circuits). كما تتناول هذه الوحدة العمليات الحسابية المختلفة للنظام الثنائي.

## ١- ١ نظـــم الأعـــداد Numbers Systems

عند دراستنا لأي نظام عددي سنتناول النقاط الآتية:

١. أساس النظام.
٢. الرموز المستخدمة في النظام.
٣. التحويل من النظام العشري لهذا النظام والعكس.
٤. التحويل من هذا النظام إلى بقية الأنظمة.

## ١- ٢ النظام العشري للعد Decimal Numbering System

يطلق على النظام العشري للعد اسم نظام الأساس عشرة (10) لأنه يعتمد في تكوينه على عشرة رموز مختلفة وهي 0,1,2,3,4,5,6,7,8,9، وللنظام العشري خاصية رتبة الرقم أو الوزن المكاني (Positional Weight) فعلى سبيل المثال العدد (128) نجد أن الرقم ألأول (8) يقع في الرتبة الأولى ( خانة الآحاد) ووزنه هو الثمانية ، ويكون عبارة عن حاصل ضرب الرقم الذي يمثل هذه الرتبة في 1 (8=1×8 )، أما الرقم الثاني (2) فإنه يقع في الرتبة الثانية (خانة العشرات) و وزنه عبارة عن حاصل ضرب الرقم الذي يحتل هذه الرتبة في 10 (20 = 10 × 2)، أما الرقم الثالث (1) فإنه يقع في الرتبة الثالثة (خانة المئات) ووزنه عبارة عن حاصل ضرب الرقم الذي يحتل هذه الرتبة في 100 (100 = 100 × 1). وبجمع هذه الخانات ينتج العدد المطلوب كالآتي:

$$(1 \times 100) + (2 \times 10) + (8 \times 1) = 100 + 20 + 8 = 128$$

**وبالتالي يمكن تمثيل العدد 128 كالتالي:**

| 1 | 2 | 8 |
|---|---|---|
| مرتبة المئات | مرتبة العشرات | مرتبة الآحاد |
| $10^2$ | $10^1$ | $10^0$ |

$$(128)_{10} = 1 \times 10^2 + 2 \times 10^1 + 8 \times 10^0 = 100 + 20 + 8$$

وفي حالة الأعداد الكسرية تمثل رتب الخانات لها بالأس السالب مرتبة من على يمين العلامة العشرية بدءاً من الوزن $10^{-1}$ كالآتي:

$$10^2 \quad 10^1 \quad 10^0 \bullet 10^{-1} \quad 10^{-2} \quad 10^{-3} \quad .....$$

العلامة العشرية
(Decimal Point)

## ١- ٣ النظام الثنائي للأعداد Binary Numbering System

يطلق على النظام الثنائي للأعداد اسم نظام الأساس (2) لأنه يعتمد على رمزين اثنين فقط هما (1,0) ، ورتب الخانات في النظام الثنائي من اليمين إلى اليسار تمثل قوى العدد (2) أي أن:

$$..... 2^4 \quad 2^3 \quad 2^2 \quad 2^1 \quad 2^0$$

وعلى ذلك فإن العدد الثنائي $(11001)_2$ يكافئ الرقم $(25)_{10}$ كما يلي:

$$(11001)_2 = (1 \times 2^4) + (1 \times 2^3) + (0 \times 2^2) + (0 \times 2^1) + (1 \times 2^0)$$
$$= 16 + 8 + 0 + 0 + 1 = (25)_{10}$$

$$\begin{array}{ccccc} 2^4 & 2^3 & 2^2 & 2^1 & 2^0 \\ 1 & 1 & 0 & 0 & 1 \end{array}$$

### ❖ بعض المصطلحات المستخدمة مع النظام الثنائي:

■ **عدد التشكيلات الثنائية (Number of Binary Combinations):** عدد التشكيلات الثنائية تعني عدد الاحتمالات التي يمكن الحصول عليها من عدد معين من الخانات (bits). وهناك صيغة رياضية يمكن عن طريقها حساب هذا العدد من التشكيلات وهي :

$$N = 2^n$$

حيث: N = عدد التشكيلات الثنائية المحتملة

n = عدد الخانات (bits)

وبالتالي فإذا كان عدد الخانات يساوي (2) فإن عدد التشكيلات الثنائية هو :

$N = 2^2 = 4$

وإذا كان عدد الخانات يساوي (3) فإن عدد التشكيلات الثنائية هو :

$N = 2^3 = 8$

وإذا كان عدد الخانات يساوي (4) فإن عدد التشكيلات الثنائية هو :

$N = 2^4 = 16$

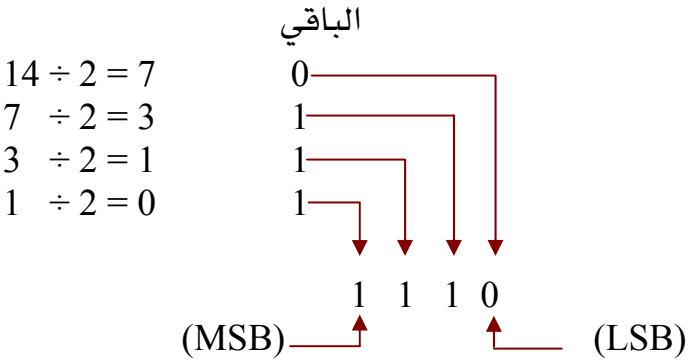
■ **أهمية رتبة الخانة الثنائية (Bit):** في أي تشكيلة من التشكيلات الثنائية المحتملة لأي عدد من الخانات نجد أن الخانة الأولى في اليمين تحت رتبة $2^0$ أي تساوي (1) أو يقال وزنها يساوي (1) وأن الخانة الثانية والتي على يسار الأولى تحت رتبة $2^1$ أي وزنها يساوي (2) والثالثة تحت رتبة $2^2$ أي وزنها يساوي (4) وهكذا. لذلك يطلق على الخانة الثنائية الأولى، الخانة الأقل وزناً أو الأقل قيمة ( Least Significant Bit) وتكتب اختصارا (LSB) ويطلق على الخانة الثنائية الأخيرة في أقصى اليسار الخانة الأكبر وزناً أو الأعلى قيمة (Most Significant Bit) وتكتب اختصاراً (MSB).

### ١- ٣- ١ التحويل من النظام العشري إلى النظام الثنائي Decimal-to-Binary Conversion

للتحويل من النظام العشري إلى الثنائي نستخدم طريقة تكرار القسمة على 2 ( Repeated Division–by–2 Method).

**أولاً: تحويل الأعداد العشرية الصحيحة إلى النظام الثنائي**

لتحويل العدد العشري $(14)_{10}$ إلى الثنائي، نبدأ بقسمة العدد 14 على 2، ثم نقسم خارج القسمة الذي نحصل عليه على 2 وهكذا حتى نحصل على خارج قسمة يساوي صفر (0). في كل خطوة من خطوات القسمة نحصل على باقي من خارج القسمة وهو الذي يالشكل العدد الثنائي. الباقي الأول الذي نحصل عليه يمثل (LSB) في العدد الثنائي والباقي الأخير يمثل (MSB)، وهذه الخطوات يمكن توضيحها كالآتي:




وعلى ذلك يكون:

$(14)_{10} = (1110)_2$

**مثال (١- ١):** حول العدد العشري $(25)_{10}$ إلى مكافئه الثنائي.

**الحـــــــــل**

| | **الباقي** | |
|---|---|---|
| 25 ÷ 2 = 12 | 1 | (LSB) |
| 12 ÷ 2 = 6 | 0 | |
| 6 ÷ 2 = 3 | 0 | |
| 3 ÷ 2 = 1 | 1 | |
| 1 ÷ 2 = 0 | 1 | (MSB) |

وبالتالي يكون الناتج كما يلي :

$(25)_{10} = (11001)_2$

**مثال (١- ٢):** حول العدد العشري $(87)_{10}$ إلى مكافئه الثنائي.

**الحـــــــــل**

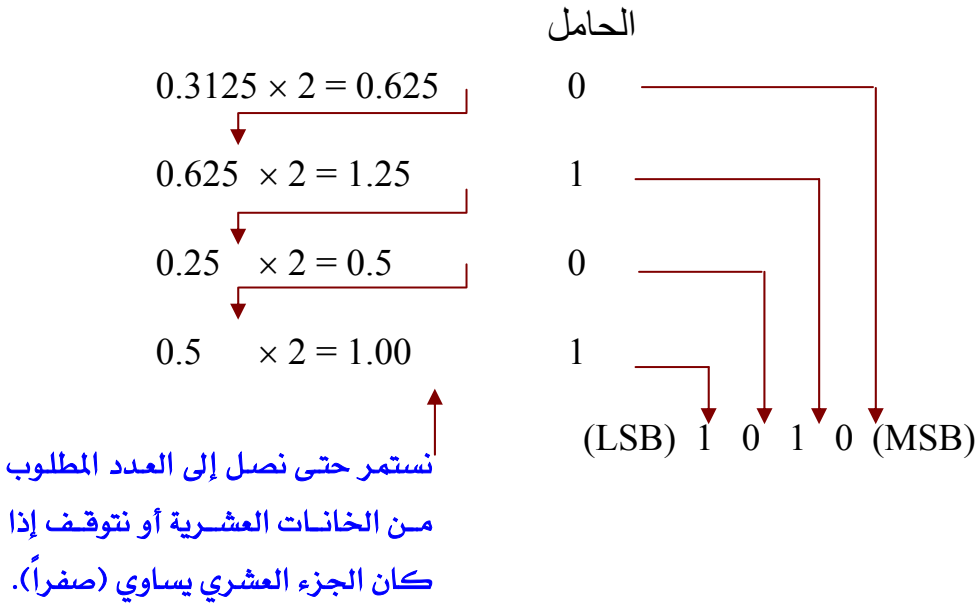
| | **الباقي** | |
|---|---|---|
| 87 ÷ 2 = 43 | 1 | (LSB) |
| 43 ÷ 2 = 21 | 1 | |
| 21 ÷ 2 = 10 | 1 | |
| 10 ÷ 2 = 5 | 0 | |
| 5 ÷ 2 = 2 | 1 | |
| 2 ÷ 2 = 1 | 0 | |
| 1 ÷ 2 = 0 | 1 | (MSB) |

ويكون الناتج:

$(87)_{10} = (1010111)_2$

## ثانياً: تحويل الأعداد الكسرية إلى النظام الثنائي

كما رأينا سابقاً أنه يمكن تحويل الأعداد العشرية الصحيحة إلى النظام الثنائي عن طريق تكرار القسمة على (2) أما الأعداد العشرية الكسرية (Decimal Fractions) فنستطيع تحويلها إلى النظام الثنائي عن طريق الضرب المتكرر في (2)، ولتحويل العدد الكسري (0.3125) إلى النظام الثنائي نجري العملية التالية:




**مثال (١- ٣):** حول العدد العشري $(39.25)_{10}$ إلى نظيره الثنائي.

**الحـــــــل**

| | الباقي | |
|---|---|---|
| 39 ÷ 2 = 19 | 1 | (LSB) |
| 19 ÷ 2 = 9 | 1 | |
| 9 ÷ 2 = 4 | 1 | |
| 4 ÷ 2 = 2 | 0 | |
| 2 ÷ 2 = 1 | 0 | |
| 1 ÷ 2 = 0 | 1 | (MSB) |

ويكون الناتج :

$$(39)_{10} = (100111)_2$$

ثم نبدأ بتحويل العدد الكسري وذلك بتكرار الضرب في (2) كما يلي:

| | الحامل | |
|---|---|---|
| $0.25 \times 2 = 0.5$ | 0 | (MSB) |
| $0.5 \times 2 = 1.00$ | 1 | (LSB) |

وبذلك نحصل على:

$(0.25)_{10} = (0.01)_2$

ويكون الناتج النهائي للعدد المطلوب هو :

$(39.25)_{10} = (100111.01)_2$

## 1- ٣- ٢ التحويل من النظام الثنائي إلى النظام العشري Binary-to-Decimal Conversion

للتحويل من النظام الثنائي إلى النظام العشري تضرب كل خانة (Bit) في رتبة الخانة المقابلة لها أو وزنها وبجمع حاصل الضرب لكل خانة نحصل على العدد المكافئ.

**مثال (١- ٤):** حول العدد الثنائي $(1101001)_2$ إلى نظيره العشري.

**الحـــــل**

| الوزن : | $2^6$ | $2^5$ | $2^4$ | $2^3$ | $2^2$ | $2^1$ | $2^0$ |
|---|---|---|---|---|---|---|---|
| العدد الثنائي : | 1 | 1 | 0 | 1 | 0 | 0 | 1 |

$$(1101001)_2 = 1 \times 2^6 + 1 \times 2^5 + 0 \times 2^4 + 1 \times 2^3 + 0 \times 2^2 + 0 \times 2^1 + 1 \times 2^0$$
$$= 64 + 32 + 8 + 1 = (105)_{10}$$

يحول الكسر في الأعداد الثنائية بوضع خانات ( Bits) على يمين العلامة الثنائية (Binary Point) تماماً كما في الأعداد الكسرية بالنظام العشري وتكون رتب الخانات أو أوزانها العددية في النظام الثنائي كما يلي:

$$\ldots\ldots 2^4 \quad 2^3 \quad 2^2 \quad 2^1 \quad 2^0 \bullet 2^{-1} \quad 2^{-2} \quad 2^{-3} \quad 2^{-4} \ldots\ldots$$

**العلامة الثنائية**

**مثال (١- ٥):** حول العدد الكسري الثنائي $(0.1011)_2$ إلى مكافئة العشري.

**الحـــــل**

| | • | $2^{-1}$ | $2^{-2}$ | $2^{-3}$ | $2^{-4}$ |
|---|---|---|---|---|---|
| | 0 • | 1 | 0 | 1 | 1 |

$$(0.1011)_2 = 1 \times 2^{-1} + 0 \times 2^{-2}\ 1 \times 2^{-3} + 1 \times 2^{-4} = 0.5 + 0.0 + 0.125 + 0.0625 = (0.6875)_{10}$$

## ١.- ٤ النظام السداسي العشري للعد Hexadecimal Numbering System

يطلق على النظام السداسي العشري اسم نظام الأساس ستة عشر (16) ويشار إليه بالأساس (16) لأنه يعتمد على ستة عشر رمزاً هي (0,1,2,3,4,5,6,7,8,9,A,B,C,D,E,F) مع ملاحظة أن الحروف (A,B,C,D,E,F) تكافئ الأرقام العشرية (10, 11, 12, 13, 14, 15) على الترتيب.

### ١- ٤- ١ التحويل من السداسي العشري إلى العشري Hexadecimal–to–Decimal Conversion

رتب الخانات في النظام السداسي العشري من اليمين إلى اليسار تمثل قوى العدد 16 أي $16^3$.....) ($16^0$ $16^1$ $16^2$ وهكذا وبالتالي فإن رتب الخانات أو أوزانها هي ( 1 16 256 4096 ...) وعلى ذلك يمكن التعبير عن العدد $(522.39)_{16}$ كالتالي:

**الأوزان** : $16^2$ $16^1$ $16^0$ • $16^{-1}$ $16^{-2}$

**العدد السداسي العشري** : 5 2 2 • 3 9

$$(522.39)_{16} = (5 \times 16^2) + (2 \times 16^1) + (2 \times 16^0) + (3 \times 16^{-1}) + (9 \times 16^{-2})$$
$$= (5 \times 256) + (2 \times 16) + (2 \times 1) + (3 \times 0.0625) + (9 \times 0.0039062)$$
$$= 1280 + 32 + 2 + 0.1875 + 0.0351558 = (1314.222655)_{10}$$

### ١- ٤- ٢ التحويل من العشري إلى السداسي العشري Decimal-to-Hexadecimal Conversion

طريقة تحويل الأعداد من النظام العشري إلى السداسي العشري تتم بتكرار القسمة على (16) والتي تماثل تماماً الطريقة التي استخدمت في التحويل من النظام العشري إلى الثنائي حيث اختلف في الأساس هنا فأصبح (16) بدلاً من (2).

## أولاً: تحويل الأعداد العشرية الصحيحة إلى النظام السداسي العشري

لتحويل العدد العشري $(97)_{10}$ إلى مكافئه السداسي العشري فإننا نبدأ بقسمة العدد 97 على (16) ثم نقسم خارج القسمة الذي حصلنا عليه على (16) وهكذا حتى نحصل على خارج قسمة يساوي صفراً (0). في كل خطوة من خطوات القسمة نحصل على باقٍ من خارج القسمة وهو الذي يالشكل العدد السداسي العشري. والباقي الأول الذي نحصل عليه يمثل (LSD) والباقي الأخير يمثل (MSD) وهذه الخطوات موضحة كالآتي:

| | الباقي | |
|---|---|---|
| $97 \div 16 = 6$ | 1 | (LSD) |
| $6 \div 16 = 0$ | 6 | (MSD) |

وبالتالي يكون الناتج كما يلي:

$$(97)_{10} = (61)_{16}$$

**مثال (١- ٦):** حول العدد العشري $(314)_{10}$ إلى مكافئه في النظام السداسي العشري.

**الحـــــل**

| | الباقي | |
|---|---|---|
| $314 \div 16 = 19$ | A | (LSD) |
| $19 \div 16 = 1$ | 3 | |
| $1 \div 16 = 0$ | 1 | (MSD) |

وبالتالي يكون الناتج كما يلي:

$$(314)_{10} = (13A)_{16}$$

## ثانياً: تحويل الأعداد الكسرية في النظام السداسي العشري

يتم تحويل الأعداد الكسرية في خطوات مشابهة لطريقة تحويل الكسور في الثنائي وذلك عن طريق الضرب المتكرر في (16).

| | الحامل |
|---|---|
| $0.78125 \times 16 = 12.5$ | C |
| $0.5 \times 16 = 8.00$ | 8 |

وبذلك نحصل على:

$$(0.78125)_{10} = (0.C8)_{16}$$

**مثال (١- ٧):** حول العدد العشري $(329.52)_{10}$ إلى مكافئه السداسي العشري.

**الحـــــــل**

نبدأ أولاً بتحويل العدد العشري الصحيح وذلك بتكرار القسمة على 16:

| | الباقي | |
|---|---|---|
| $329 \div 16 = 20$ | 9 | (LSD) |
| $20 \div 16 = 1$ | 4 | |
| $1 \div 16 = 0$ | 1 | (MSD) |

وبالتالي يكون الناتج:

$\therefore (329)_{10} = (149)_{16}$

وبتكرار الضرب في (16) يتم تحويل العدد الكسرى:

| | الحامل | |
|---|---|---|
| $0.52 \times 16 = 8.32$ | 8 | (MSD) |
| $0.32 \times 16 = 5.12$ | 5 | |
| $0.12 \times 16 = 1.92$ | 1 | |
| $0.92 \times 16 = 14.72$ | E | |
| $0.72 \times 16 = 11.52$ | B | |
| $0.52 \times 16 = 8.32$ | 8 | (LSD) |

فإذا فرضنا أن العدد المطلوب من الخانات العشرية هو ست (6) خانات فتكون نتيجة التحويل هي:

$(0.52)_{10} = (0.851EB8)_{16}$

ويكون الناتج النهائي للعدد المطلوب هو:

$(329.52)_{10} = (149.851EB8)_{16}$

## ١- ٤- ٣التحويل من السداسي عشري إلى العشري Hexadecimal-to-Decimal Conversion

العدد السداسي العشري له رتب في الخانات من اليمين إلى اليسار تمثل قوى العدد (16)، وبضرب كل خانة من خانات العدد السداسي العشري في رتبة الخانة المقابلة لها ثم جمع حاصل ضرب كل خانة نحصل على العدد المطلوب.

**مثال (١- ٨):** أوجد مكافئ العدد السداسي العشري $(F9B)_{16}$ في النظام العشري.

**الحـــــل**

**الأوزان** : $16^2 \quad 16^1 \quad 16^0$

**العدد السداسي العشري** : F 9 B

$$(F9B)_{16} = (F \times 16^2) + (9 \times 16^1) + (B \times 16^0)$$
$$= (15 \times 256) + (9 \times 16) + (11 \times 1)$$
$$= 3840 + 144 + 11 = (3995)_{10}$$

والأعداد الكسرية في النظام السداسي العشري يمكن تحويلها كما في الأعداد الثنائية وتصبح مراتب الخانات في النظام السداسي العشري كالآتي:

$$\ldots\ldots 16^3 \quad 16^2 \quad 16^1 \quad 16^0 \bullet 16^{-1} \quad 16^{-2} \quad 16^{-3} \ldots\ldots$$

العلامة السادسة عشرية

**مثال (١- ٩):** أوجد مكافئ العدد السداسي العشري $(A15.C3)_{16}$ بالنظام العشري.

**الحـــــل**

الأوزان : $16^2 \quad 16^1 \quad 16^0 \bullet 16^{-1} \quad 16^{-2}$

العدد السداسي العشري : A 1 5 • C 3

$$(A15.C3)_{16} = (A \times 16^2) + (1 \times 16^1) + (5 \times 16^0) + (C \times 16^{-1}) + (3 \times 16^{-2})$$
$$= (10 \times 256) + (1 \times 16) + (5 \times 1) + (12 \times 0.0625) + (3 \times 0.0039062)$$
$$= 2560 + 16 + 5 + 0.75 + 0.0117186 = (2581.7617)_{10}$$

## ١- ٤- ٤التحويل من السداسي العشري إلى النظام الثنائي Hexadecimal-to-Binary Conversion

عرفنا سابقاً أن النظام السداسي العشري يستخدم الرموز (0,1,2,……,9,A,B,C,D,E,F) وأن الحروف الأبجدية المستخدمة (A,B,C,D,E,F) تكافئ على الترتيب الأعداد العشرية (10,11,12,13,14,15). ، وبالتالي فإنه يمكن تحويل الأعداد من النظام السداسي العشري إلى ما يقابلها في النظام الثنائي، بحيث يمثل كل رمز من رموز النظام السداسي العشري بأربع خانات ثنائية (4-bits) كما هو موضح بالجدول(٢- ١).

| العدد العشري | العدد الثنائي | العدد السداسي العشري |
|---|---|---|
| 0 | 0000 | 0 |
| 1 | 0001 | 1 |
| 2 | 0010 | 2 |
| 3 | 0011 | 3 |
| 4 | 0100 | 4 |
| 5 | 0101 | 5 |
| 6 | 0110 | 6 |
| 7 | 0111 | 7 |
| 8 | 1000 | 8 |
| 9 | 1001 | 9 |
| 10 | 1010 | A |
| 11 | 1011 | B |
| 12 | 1100 | C |
| 13 | 1101 | D |
| 14 | 1110 | E |
| 15 | 1111 | F |

الجدول (٢- ١) تمثيل العدد السداسي العشري كعدد عشري وعدد ثنائي.

**مثال (١- ١٠):** حول العدد $(3A5)_{16}$ إلى مكافئه الثنائي.

**الحـــــل**

$$(3A5)_{16} = \underset{\downarrow}{3}\ \underset{\downarrow}{A}\ \underset{\downarrow}{5}$$

$$0011\ \ 1010\ \ 0101$$

$$= (001110100101)_2$$

**مثال (١- ١١):** أوجد مكافئ العدد $(B35.D1)_{16}$ في النظام الثنائي.

**الحـــــل**

$$(B35.D1)_{16} = \underset{\downarrow}{B}\ \underset{\downarrow}{3}\ \underset{\downarrow}{5} \bullet \underset{\downarrow}{D}\ \underset{\downarrow}{1}$$

$$1011\ \ 0011\ \ 0101 \bullet 1101\ \ 0001$$

$$= (101100110101.11010001)_2$$

## ١- ٤- ٥ التحويل من الثنائي إلى النظام السداسي العشري Binary-to-Hexadecimal Conversion

التحويل من النظام الثنائي إلى النظام السداسي العشري يتم بتكوين مجموعات مكونة من أربع خانات ثنائية وذلك ابتداءً من يمين الفاصلة الثنائية للعدد الصحيح وعلى يسار الفاصلة الثنائية للعدد الكسري ثم كتابة ما يقابل كل مجموعة مكونة من أربع خانات بما يكافئها في النظام السداسي العشري.

**مثال (١- ١٢):** حول العدد الثنائي $(110111101.101001)_2$ إلى نظيره السداسي العشري.

**الحـــــل**

0001 1011 1101 • 1010 0100

↓ ↓ ↓ ↓ ↓

1 B D • A 4

لاحظ أنه تمت زيادة صفرين على يمين الكسر وثلاثة أصفار على يسار العدد الصحيح.

$(110111101.101001)_2 = (1BD.A4)_{16}$

**مثال (١- ١٣):** حول العدد الثنائي $(11010010011.011001)_2$ إلى نظيره في النظام السداسي العشري.

**الحـــــل**

0001 1010 1011 • 0110 1000

↓ ↓ ↓ ↓ ↓

1 A B • 6 8

$(11010010011.011001)_2 = (1AB.68)_{16}$

## ١.- ٥ العمليات الحسابية للنظام الثنائي

### ١- ٥- ١ جمع الأعداد الثنائية Addition of the Binary Numbers

لإجراء عملية الجمع في النظام الثنائي، هناك أربعة قواعد أساسية لجمع الخانات الثنائية (Binary Digits) وهي:

$$0 + 0 = 0$$
$$0 + 1 = 1$$
$$1 + 0 = 1$$
$$1 + 1 = 0 \text{ carry (الحامل) } 1 \Rightarrow = 10$$

لا تحتاج القواعد الثلاث الأولى إلى مزيد من الإيضاح، والقاعدة الرابعة تقول إنه في حالة جمع $1 + 1 =$ 10 وهي تعني رقم (2) بالعشري، والواحد (1) هو المجموع الواجب ترحيله إلى العمود التالي كما في الجمع العشري العادي تتم عمليات الجمع للأعداد الثنائية وفق القواعد التالية:

**مثال (١- ١٤):** اجمع الرقمين الثنائيين 110 ,011.

**الحـــل**

نرتب الأعداد الثنائية بحيث تظهر في صورة أعمدة أو خانات واضحة كما يلي:

| | | | | | |
|---|---|---|---|---|---|
| | | 1 | 1 | | |
| | 6 | | 1 | 1 | 0 |
| + | 3 | + | 0 | 1 | 1 |
| (عشري) | 9 | 1 | 0 | 0 | 1 |

**مثال (١- ١٥):** اجمع الرقمين الثنائيين 100 ,011.

**الحـــــل**

| | | | | |
|---|---|---|---|---|
| | 4 | 1 | 0 | 0 |
| + | 3 | 0 | 1 | 1 |
| (عشري) | 7 | 1 | 1 | 1 |

### ١- ٥- ٢ الطرح الثنائي Binary Subtraction

هناك طريقتان لإجراء عملية الطرح وهما :

١- الطريقة المباشرة أو ما يطلق عليه بالطريقة الحسابية.

٢- الطريقة المتممة.

وسنكتفي هنا بشرح الطريقة المباشرة، وسوف نتناول الطريقة المتممة بالتفصيل فيما بعد. لإجراء الطرح بالطريقة المباشرة (الحسابية) يجب معرفة القواعد الأساسية لهذه العملية مع ملاحظة أن المقدار المطروح منه على اليسار والمقدار المطروح على اليمين:

$0 - 0 = 0$
$1 - 0 = 1$
$1 - 1 = 0$
$0 - 1 = 1$ ⟸ تكون النتيجة (1) واستلفنا (1)

ويمكن تلخيص عملية الطرح في الطريقة المباشرة كما يلي :

- رتب الأرقام تحت بعضها بحيث تظهر في صورة أعمدة أو خانات واضحة.
- ابدأ من الخانة الأولى علي اليمين متجهاً إلى اليسار متبعاً القواعد التالية في الطرح:
  - عند طرح (0) من (0) أو (1) من (1) نضع في الناتج (0).
  - عند طرح (0) من (1) نضع الناتج (1).
  - عند طرح (1) من (0) نضع في الناتج (1) ثم نغير كل (0) من الخانات التالية (في المطروح منه) إلى (1) حتى نصل إلى أقرب (1) فنغيره إلى (0).
  - أكمل بعد ذلك علمية الطرح باستخدام القواعد السابقة.

**مثال (١- ١٦):** اطرح المقدار (101) من المقدار (011).

**الحـــل**

| | | | |
|---|---|---|---|
| | 0 | | |
| | ~~1~~ | 1 | |
| المطروح منه | 1 | 0 | 1 |
| المطروح | 0 | 1 | 1 |
| | 0 | 1 | 0 |

عندما استلفنا (1) أصبحت هذه الخانة (0)

أستلفنا (1) من العمود الذي يليه فأصبحت الخانة تحتوي على (10) وبطرح (1) منها يصبح الناتج (1)

## ١- ٥- ٣ المتمم الأحادي والثنائي للأعداد الثنائية

One's and Two's Complements of Binary Numbers

إن أهمية المتممين الأحادي والثنائي يكمن في سماحهما لنا بتمثيل الأعداد الثنائية السالبة. والمتمم الثنائي هو الأكثر شيوعاً واستخداماً في أجهزة الحاسوب للتعامل مع الأعداد السالبة. وللحصول على

المتمم الأحادي لأي عدد ثنائي فإننا ببساطة نقوم بتغيير كل (1) إلى (0) ونغير كل (0) إلى (1) في العدد الثنائي كما يلي:

العدد الثنائي ⟵ 1 0 1 1 0 0 1 1
المتمم الأحادي ⟵ 0 1 0 0 1 1 0 0

أما المتمم الثنائي للعدد الثنائي فإنه يمكن إيجاده بطريقتين كما يلي:

**الطريقة الأولى:** نقوم بايجاد المتمم الأحادي كما سبق. ثم بعد ذلك نقوم بإضافة العدد (1) إلى المتمم الأحادي الذي حصلنا علية وبذلك نحصل على المتمم الثنائي أي أن:

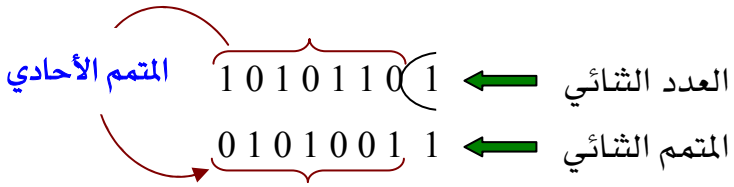
**المتمم الثنائي = المتمم الأحادي + 1**

ومثال ذلك نفترض أننا نريد الحصول على المتمم الثنائي للعدد الثنائي 10110011. حيث يجب أولاً الحصول على المتمم الأحادي ثم نجمع عليه (1) لنحصل على المتمم الثنائي للعدد.

العدد الثنائي ⟵ 1 0 1 1 0 0 1 1
المتمم الأحادي ⟵ 0 1 0 0 1 1 0 0
نضيف (1) ⟵ + 1
المتمم الثنائي 0 1 0 0 1 1 0 1

**الطريقة الثانية:** نقوم بالنظر للخانة الثنائية ذات القيمة الدنيا (LSB) من أقصي اليمين للعدد الثنائي فإن كانت تساوي (0) نقوم بكتابته ونستمر في ذلك وبمجرد أن نقابل أول خانة ثنائية تساوي واحداً عند ذلك نقوم بكتابة الواحد الذي قابلناه ثم بعد ذلك نقوم بقلب الصفر واحد والواحد صفراً وهكذا إلى أن ننتهي من كتابة العدد وفي حال قابلنا في الخانة الثنائية ذات القيمة الدنيا واحد فإننا نقوم بكتابته ثم نتبع الطريقة السابقة بقلب الصفر إلى واحد والواحد إلى صفر.

ومثال على ذلك، نفترض أننا نريد تحويل العدد الثنائي $(10101101)_2$ إلى المتمم الثنائي:



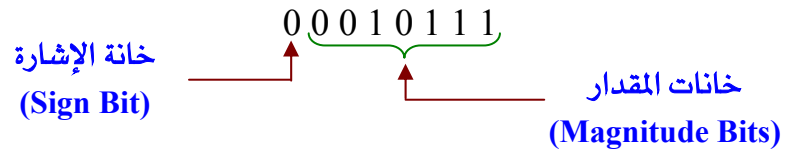
## ١- ٥- ٤ تمثيل الأعداد ذات الإشارة Representation of Signed Numbers

النظم الرقمية التي تستخدم في الحاسب يجب أن تكون لديها القدرة على التعامل مع الأعداد الموجبة والسالبة على حد سواء ونتيجة لذلك فإن الخانة الثنائية ذات القيمة العليا والموجودة في أقصى يسار العدد الثنائي تمثل إشارة العدد ، حيث يوضع في هذه الخانة (0) للعدد الموجب، ويوضع بها (1) للعدد السالب. فمثلاً في حالة العدد الثنائي المكون من ثمانية خانات ثنائية فإن الخانة الثنائية ذات القمية العليا للعدد والموجودة في أقصى يسار العدد تمثل إشارة العدد (Sign Bit) وبقية الخانات تمثل قيمة العدد (Magnitude).

وهناك ثلاثة طرق لتمثيل الأعداد ذات الإشارة في النظام الثنائي وهي: إشارة المقدار (Sign-Magnitude) والمتمم الأحادي (1's Complement) والمتمم الثنائي (2's Complement).

### أولاً: نظام إشارة المقدار (Sign-Magnitude System)

عند تمثيل العدد الثنائي بنظام إشارة المقدار، فإن الخانة الثنائية (Bit) ذات القيمة العليا والموجودة في أقصى يسار العدد تمثل خانة الإشارة وبقية الخانات تمثل مقدار العدد. فمثلاً لتمثيل العدد العشري (+23) بنظام إشارة المقدار فإننا نكتب العدد كالتالي:




ولتمثيل العدد العشري (-23) فإننا نكتب ما يلي:

1 0 0 1 0 1 1 1

حيث نلاحظ أن الفرق الوحيد بين العددين (+23) ، (–23) هو في خانة الإشارة فقط.

### ثانياً: نظام المتمم الأحادي (1's Complement System)

الأعداد الموجبة في نظام المتمم الأحادي تمثل بنفس الطريقة التي تمت في تمثيل الأعداد الموجبة بنظام إشارة المقدار أما الأعداد السالبة فيتم الحصول عليها عن طريق إيجاد المتمم الأحادي للعدد الموجب. وكمثال على ذلك العدد العشري (–23) يمكن تمثيله عن طريق إيجاد المتمم الأحادي للعدد كما يلي :

العدد (+23) ⟵ 0 0 0 1 0 1 1 1

العدد (–23) ⟵ 1 1 1 0 1 0 0 0

حيث إن الإشارة في كلا العددين تمثلها الخانة الأخيرة ذات القيمة العليا الموجودة في أقصى يسار العددين.

**ثالثاً: نظام المتمم الثنائي** (2's Complement)

كما في نظام المتمم الأحادي فإن الأعداد الموجبة في نظام المتمم الثنائي تمثل بنفس الطريقة كما في نظام إشارة المقدار. أما الأعداد السالبة فنحصل عليها عن طريق إيجاد المتمم الثنائي للعدد الموجب. فمثلاً العدد العشري (23-) يمكن تمثيله عن طريق إيجاد المتمم الثنائي للعدد (23+) كما يلي :

العدد (23+) ⟵ 0 0 0 1 0 1 1 1

العدد (23-) ⟵ 1 1 1 0 1 0 0 1

وكما ذكرنا سابقاً فإن نظام المتمم الثنائي هو الأكثر شيوعاً واستخداماً في النظم الحاسوبية.

**١- ٥- ٥ العمليات الحسابية مع الأعداد ذات الإشارة** Arithmetic Operations with Signed Numbers

تعلمنا سابقاً كيف يمكن تمثيل الأعداد ذات الإشارة بثلاث نظم مختلفة، وهنا سوف نتعلم كيف نجري العمليات الحسابية المختلفة على الأعداد ذات الإشارة وسنكتفي هنا بشرح عملية الطرح فقط، حيث إننا شرحنا عملية الجمع بالتفصيل في الجزء (١- ٦). ولأن نظام المتمم الثنائي كما أسلفنا هو الأكثر استخداماً لتمثيل الأعداد السالبة في أجهزة الحاسوب فسوف نكتفي هنا بشرح عملية الطرح باستخدام نظام المتمم الثنائي فقط. ولفهم عملية طرح الأعداد ذات الإشارة باستخدام المتمم الثنائي فإننا سوف نعطي بعض الأمثلة كما يلي:

**مثال (١- ١٧):** اطرح المقدار 11111010 من المقدار 00001110 باستخدام المتمم الثنائي للأعداد.

**الحـــــل**

في هذه الحالة فإن:

$$14 - (-6) = 14 + 6 = 20$$

يمكن ترتيب العددين تحت بعضهما البعض كما يلي:

| | |
|---|---|
| (+14) المطروح منه | 0 0 0 0 1 1 1 0 |
| (+6) المتمم الثنائي للمطروح | + 0 0 0 0 0 1 1 0 |
| (+20) الفرق | 0 0 0 1 0 1 0 0 |

**مثال (١- ١٨):** اجرِ عملية الطرح الآتية باستخدام نظام المتمم الثنائي:

$(00001000)_2 - (00000100)_2$

**الحـــل**

في هذه الحالة فإن:

$8 - 4 = 8 + (-4) = 4$

وبالتالي نجد أن:

| | |
|---|---|
| (+8) المطروح منه | 0 0 0 0 1 0 0 0 |
| (-4) المتمم الثنائي للمطروح | + 1 1 1 1 1 1 0 0 |
| (+4) الفرق | ~~1~~ 0 0 0 0 0 1 0 0 |

يهمل الحامل
(Discard carry)

**مثال (١- ١٩):** اجرِ علمية الطرح الآتية باستخدام المتمم الثنائي.

$(11100111)_2 - (00001001)_2$

**الحـــــــل**

في هذه الحالة فإن:

$-25 - (+9) = -25 - 9 = -34$

وبالتالي فإنه:

| | |
|---|---|
| (-25) المطروح منه | 1 1 1 0 0 1 1 1 |
| (-9) المتمم الثنائي للمطروح | + 1 1 1 1 0 1 1 1 |
| (-34) الفرق | ~~1~~ 1 1 0 1 1 1 1 0 |

يهمل الحامل
(Discard carry)

# تدريبات على الوحـــدة الأولـــى

(١- ١) حول كلاً من الأعداد العشرية الآتية إلى مكافئاتها الثنائية:

a) 64 b) 112 c) 257 d) 27.26
e) 77.0625 f) 47.875 g) 33.125

(١- ٢) حول كلاً من الأعداد الثنائية التالية إلى مكافئاتها العشرية:

a) 11011 b) 1110101 c) 111111 d) 1110.11
e) 10101.1101 f) 1100001.11011

(١- ٣) حول الأعداد العشرية الآتية إلى ما يكافئها في النظام السداسي العشري:

a) 14 b) 80 c) 560 d) 3000
e) 62500 f) 204.125 g) 255.875 h) 631.25

(١- ٤) حول الأعداد السداسية العشرية التالية إلى مكافئاتها في النظام العشري:

a) 9F b) D52 c) 67F d) ABCD
e) F.4 f) B3.E g) 1111.1 h) 888.8

(١- ٥) حول الأعداد الآتية من النظام السداسي العشري إلى النظام الثنائي:

a) 8 b) 1C c) A64 d) 1F.C e) 239.4

(١- ٦) حول الأعداد الثنائية التالية إلى ما يكافئها في النظام السداسي عشري:

a) 1001.1111 b) 10000.1 c) 110101.11001
d) 10100111.111011 e) 1000000.000111 f) 1111100.1000011

(١- ٧) أوجد حاصل جمع كل من الأعداد الثنائية الآتية:

a) 100 + 111 b) 1110.11 + 11.10
c) 1111 + 1101 d) 1001.101 + 1101.11

(١- ٨) أوجد باقي الطرح للأعداد الثنائية الآتية بالطريقة المباشرة:

a) 1101 – 0100 b) 1001 – 0111
c) 11010 – 10111 d) 1100 – 1001

(١- ٩) أوجد المتمم الأحادي لكل من الأعداد الثنائية الآتية:

a) 00110101 b) 11100100 c) 00010101

**(١- ١٠)** أوجد المتمم الثنائي لكل من الأعداد الثنائية الآتية:

a) 11110110 b) 01011101 c) 00110011

**(١- ١١)** اكتب العدد الثنائي المكافئ لكل من الأعداد العشرية الآتية في الشكل إشارة المقدار بحيث يتكون العدد الثنائي من ثماني خانات (8-bits):

a) +28 b) – 83 c) +99 d) – 120

**(١- ١٢)** اكتب العدد الثنائي المكافئ لكل من الأعداد العشرية الآتية في الشكل المتمم الأحادي بحيث يتكون العدد الثنائي من ثماني خانات (8-bits):

a) +14 b) – 63 c) +107 d) – 122

**(١- ١٣)** أعد حل السؤال رقم (٨) بحيث يكون العدد الثنائي في الشكل المتمم الثنائي.

**(١- ١٤)** احسب القيمة العددية العشرية للأعداد الثنائية ذات الإشارة التالية وذلك بنظام إشارة المقدار:

a) 101110001 b) 01100100 c) 10110011

**(١- ١٥)** احسب القيمة العددية العشرية للأعداد الثنائية ذات الإشارة التالية وذلك بنظام المتمم الأحادي:

a) 10011101 b) 01100110 c) 10101101

**(١- ١٦)** احسب القيمة العددية العشرية للأعداد الثنائية ذات الإشارة التالية وذلك بنظام المتمم الثنائي:

a) 10101011 b) 000111101 c) 10111011

**(١- ١٧)** اجرِ عمليات الطرح الآتية باستخدام نظام المتمم الثنائي:

a) 00010110 – 00110011
b) 01110000 – 10101111
c) 10001100 – 00111001
d) 11011001 – 11100111

# الدوائر المنطقية والمعالجات الدقيقة

## الدوائر المنطقية البسيطة

# الوحدة الثانية : الدوائر المنطقية البسيطة

**الجدارة :** التعرف على الدوائر المنطقية البسيطة.

**الأهداف :** أن يتعرف المتدرب بإذن الله على الموضوعات التالية:

١. التعرف على البوابات المنطقية.
٢. قواعد الجبر البوليني.
٣. التعبير البوليني لدائرة منطقية.
٤. تمثيل التعبير البوليني بدائرة منطقية.
٥. تمثيل دائرة منطقية بسيطة من خلال جدول الحقيقة.
٦. تحويل التعبير البوليني إلى جدول الحقيقة.
٧. تبسيط التعبير البوليني.

**مستوى الأداء المطلوب :** أن يصل المتدرب إلى إتقان الجدارة ٩٠٪.

**الوقت المتوقع للتدرب على الجدارة:** ٤ ساعات

**الوسائل المساعدة:**

- السبورة
- استخدام برنامج Power point لعرض المحاضرات باستخدام جهاز عرض البيانات.

**متطلبات الجدارة:** أن يكون المتدرب ملماً بأساسيات أنظمة العد المختلفة.

## مقدمـــــــة

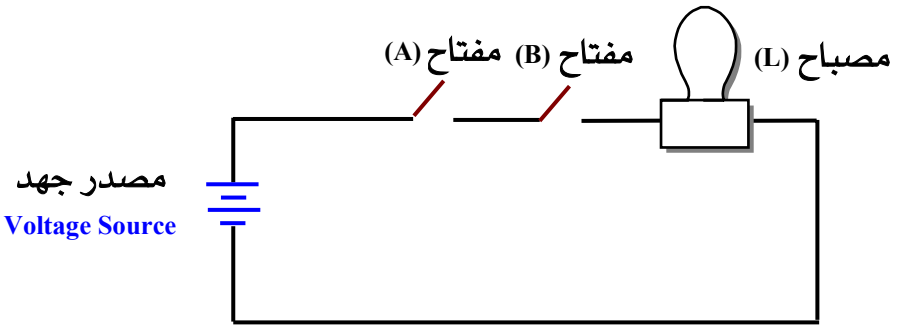
تعتبر البوابات المنطقية العناصر الأساسية لتكوين الدوائر المنطقية البسيطة والتي تعتمد عليها الأجهزة الرقمية المستخدمة في جميع أنظمة الاتصالات والشبكات.

تستعرض هذه الوحدة البوابات المنطقية والتعابير البولينية وكيفية تكوين جدول الحقيقة لكل بوابة واستخدام ذلك في تركيبات الدوائر المنطقية البسيطة وكيفية تبسيط التعبير البولينى وكذلك الدائرة المنطقية.

## ٢ - ١ البـــــوابات المنطقية Logic Gates

### ٢- ١- ١بوابة AND AND Gate

تعتبر البوابة AND واحدة من البوابات الأساسية التي تدخل في بناء معظم الدوال المنطقية (Logic Functions)، و لهـا مـدخلان أو أكثـر و مخـرج واحـد، ووظيفتهـا الضـرب المنطقـي (Logical Multiplication)، ويمكن تمثيل هذه البوابة بعدد من المفاتيح الموصلة على التوالي في دائرة كهربائية كما هو موضح في الالشكل (٢- ١)، حيث المفتاحين A وB يمثلان اثنين من المتغيرات الثنائية (Two Binary Variables) وتكون قيمة أي متغير منهما تساوي (0) عندما يكون المفتاح مفتوحاً (Open) وتساوي (1) عندما يكون المفتاح مغلقاً (Closed).




**الالشكل (٢- ١) تمثيل البوابة AND كمفتاحين على التوالي.**

وحيث إن هذه الدائرة لها مفتاحان، فإنه يوجد هناك أربعة احتمالات لأوضاعها، وجدول (٢- ١) يوضح هذه الاحتمالات الأربعة و حالة المصباح (L) عند كل احتمال، ويبين الجدول أن المصباح (L) لا يضاء إلا عندما يكون كلا المفتاحين مغلقاً، ويطلق على هذا الجدول اسم جدول الحقيقة (Truth Table).

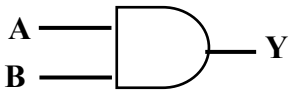
| A | B | L |
|---|---|---|
| مفتوح | مفتوح | غير مضاء |
| مفتوح | مغلق | غير مضاء |
| مغلق | مفتوح | غير مضاء |
| مغلق | مغلق | مضاء |

الجدول (٢- ١) يوضح جدول الحقيقة للدائرة الالشكل (٢- ١).

الالشكل (٢- ٢) يوضح الرمز القياسي (Standard) للبوابة AND، والجدول (٢- ٢) يبين جدول الحقيقة.

| الدخل | | الخرج |
|---|---|---|
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

الجدول (٢- ٢) يوضح جدول الحقيقة للبوابة AND




الالشكل(٢- ٢) يبين رمز البوابة AND

لاحظ أن الخرج يساوي (1) عندما يكون الدخلان A, B مساويان (1) فقط ، وبالتالي فإنه لأي بوابة AND وبصرف النظر عن عدد المداخل، يكون الخرج مساوياً (1) عندما تكون جميع المداخل تساوي (1)، ويمكن استنتاج عدد التشكيلات أو الاحتمالات للمداخل الثنائية لأي بوابة عن طريق العلاقة:

$$N = 2^n$$

حيث: N عدد التشكيلات المحتملة

n عدد المداخل للبوابة.

**مثال (٢- ١):**

- استنتج جدول الحقيقة لبوابة AND لها ثلاثة مداخل.
- ما عدد التشكيلات لبوابة AND لها خمسة مداخل؟

## الحـــل

يوجد ثماني تشكيلات لبوابة AND ذات الثلاثة مداخل، ويوضح الجدول (٢- ٣) جدول الحقيقة لهذه البوابة.

| المداخل | | | الخرج |
|---|---|---|---|
| **A** | **B** | **C** | **Y** |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

الجدول (٢- ٣) يبين جدول الحقيقة للبوابة AND بثلاثة مداخل.

تحسب عدد التشكيلات كالآتي:

$$N = 2^n = 2^5 = 32$$

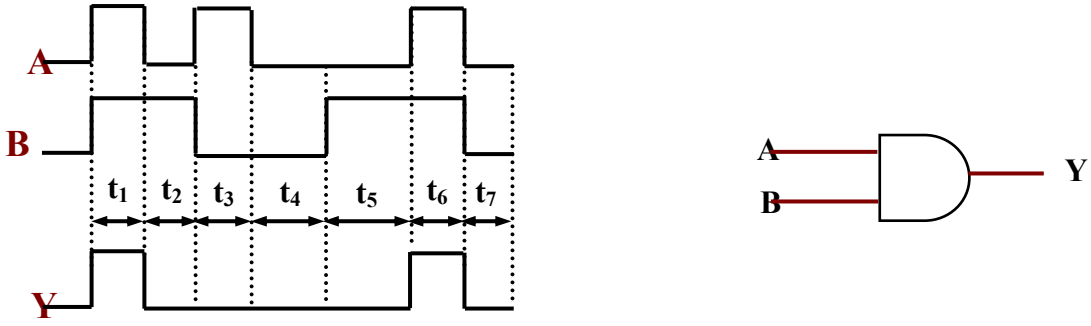
يعتبر الجبر البوليني (Boolean Algebra) صيغة للمنطق الرمزي والذي يبين كيف تعمل البوابات المنطقية، والتعبير البوليني (Boolean Expression) هي طريقة مختصرة لإظهار ماذا يحدث في دائرة منطقية، والتعبير البوليني لبوابة AND ذات مدخلين هي:

$$Y = A \bullet B$$

أو

$$Y = AB$$

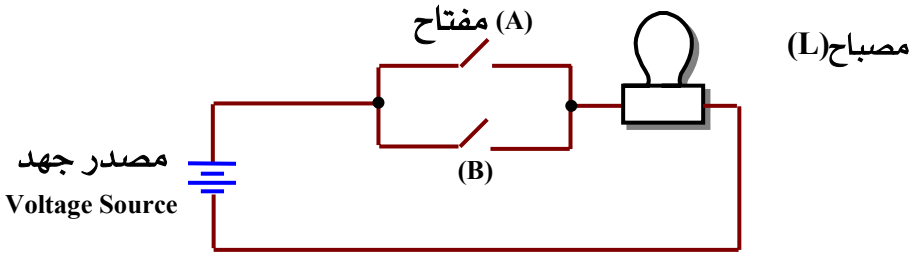
في معظم التطبيقات لا يكون دخل البوابة ثابتاً عند مستوى ثنائي معين ولكنه عبارة عن نبضات (Pulses) تتغير بين المستوى المرتفع (HIGH) والمنخفض (LOW)، وكمثال على ذلك في الالشكل (٢- ٣) كلا الدخلين A, B مرتفع أي يساوي (1) خلال الفترة الزمنية $t_1$ والذي يجعل الخرج Y مرتفعاً في هذه الفترة أي يساوي (1)، وخلال الفترة الزمنية $t_2$ الدخل A منخفض أي يساوي (0) والدخل B مرتفع وبالتالي يكون الخرج Y يساوي (0)، وهكذا خلال الفترات الزمنية الأخرى. يطلق على الشكل نبضات الدخل والخرج كعلاقة مع الزمن اسم المخطط الزمني (Timing Diagram).




الاشكل (٢- ٣) يوضح المخطط الزمني لبوابة AND بمدخلين.

## ٢- ١- ٢ بوابة OR OR Gate

تعتبر البوابة OR واحدة من البوابات الأساسية في بناء معظم الدوال المنطقية. والبوابة OR لها مدخلان أو أكثر ولها خرج واحد، ووظيفتها الجمع المنطقي (Logical Addition)، ويمكن تمثيل هذه البوابة بعدد من المفاتيح الموصلة على التوازي في دائرة كهربائية كما هو موضح بالاشكل (٢- ٤). وكما في البوابة AND فإن المفتاحين A وB تكون قيمة أي متغير منهما تساوي (0) عندما يكون المفتاح مفتوحاً (Open) وتساوي (1) عندما يكون المفتاح مغلقاً (Closed).




الاشكل (٢- ٤)يوضح تمثيل البوابة OR كمفتاحين على التوازي.

الجدول (٢- ٤) يوضح العلاقة بين أوضاع المفتاحين وحالة المصباح، ونلاحظ من هذه الدائرة ومن الجدول أن المصباح (L) يضاء عندما يكون أي من المفتاحين أو كلاهما مغلقاً.

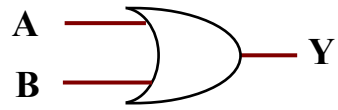
| A | B | L |
|---|---|---|
| مفتوح | مفتوح | غير مضاء |
| مفتوح | مغلق | مضاء |
| مغلق | مفتوح | مضاء |
| مغلق | مغلق | مضاء |

الجدول (٢- ٤) يوضح جدول الحقيقة للدائرة الالشكل (٢- ٤).

الالشكل (٢- ٥) يوضح الرمز القياسي للبوابة OR، حيث يظهر الدخلان A وB والخرج Y ويبين الجدول (٢- ٥) جدول الحقيقة للبوابة OR بمدخلين.

| المداخل | | الخرج |
|---|---|---|
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

الجدول (٢- ٥) يوضح جدول الحقيقة للبوابة OR

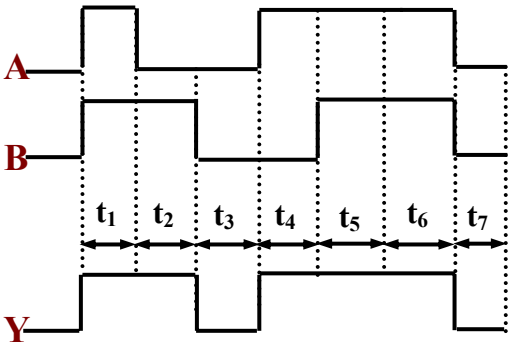


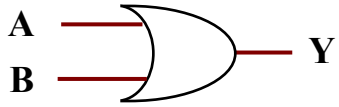

الالشكل (٢- ٥) رمز البوابة OR

يلاحظ من الجدول (٢- ٥) أن الخرج يساوي (1) عندما يكون أي من الدخلين أو كلاهما عند المستوى (1)، وأن الخرج يكون (0) عندما تكون كل المداخل عند مستوى (0)، والعبارة البولينية لبوابة OR ذات مدخلين هي:

$$Y = A + B$$

في الالشكل (٢- ٦) كل من الدخلين A وB مرتفع أي يساوي (1) خلال الفترة الزمنية $t_1$ والذي يجعل الخرج Y مرتفعاً في هذه الفترة أي يساوي (1)، وخلال الفترة الزمنية $t_2$، الدخل A منخفض أي يساوي (0) والدخل B مرتفع وبالتالي يكون الخرج Y يساوي (1)، وهكذا خلال الفترات الزمنية الأخرى.




الالشكل (٢- ٦) يوضح المخطط الزمني لبوابة OR بمدخلين.

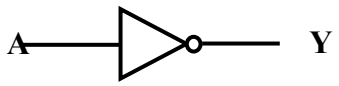
### ٢- ١- ٣ بوابة NOT (العاكس) NOT Gate (INVERTER)

العاكس أو بوابة NOT تؤدي عملية يطلق عليها العكس (Inversion) أو الإتمام (Complementation). والعاكس يغير المستوى المنطقي للدخل إلى عكسه، فإذا كان الدخل (1) يتغير في الخرج إلى (0)، وإذا كان الدخل (0) يتغير إلى (1).

تعتبر البوابة NOT بوابة غير عادية وذلك لأن لها خرج واحد ودخل واحد، و الالشكل (٢- ٧) يوضح الرمز المنطقي لبوابة العاكس، أما الجدول (٢- ٦) فيوضح جدول الحقيقة لهذه البوابة.

| الخرج | الدخل |
|---|---|
| Y | A |
| 1 | 0 |
| 0 | 1 |

الجدول (٢- ٦) يوضح جدول الحقيقة للبوابة NOT




الالشكل (٢- ٨) رمز البوابة NOT

من جدول الحقيقة نجد أن الخرج عكس الدخل، ويعبر عن هذه العملية بالتعبير البوليني الآتي:

$$Y = \overline{A}$$

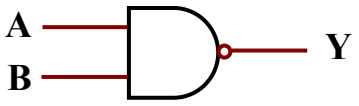
### ٢- ١- ٤ بوابة NAND NAND Gate

كلمة NAND هي اختصار لكلمتي NOT وAND و تعني عكس AND، وهذه البوابة يمكن الحصول عليها بتوصيل دخل بوابة العاكس مع خرج البوابة AND كما يبين ذلك الالشكل (٢- ٩)،

كما يبين الاالشكل الرمز المنطقي لهذه البوابة حيث إنه رمز بوابة AND ولكن مع دائرة صغيرة عند الخرج والتي ترمز إلى بوابة العاكس، والجدول (٢- ٧) يوضح جدول الحقيقة للبوابة NAND بمدخلين.

| المداخل | | الخرج |
|---|---|---|
| A | B | Y |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

الجدول (٢- ٧) يوضح جدول الحقيقة للبوابة NAND

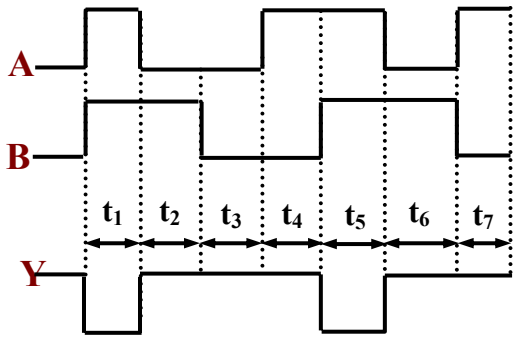


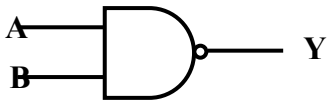

الالشكل (٢- ٩) رمز البوابة NAND

نلاحظ من الجدول أن الخرج يكون غير حقيقي (0) عندما تكون كل المداخل عند الواحد (1)، ويكون حقيقياً(1) عندما يكون أحد المداخل على الأقل عند الصفر (0)، وتعتبر البوابة NAND إحدى البوابات الرئيسة الهامة في الدوائر الرقمية حيث تستخدم على نطاق واسع في معظم النظم الرقمية و تؤدي عمل كل من بوابات NOT وOR وAND ، أو أي تشكيلة من هذه البوابات، ويعبر عن عمل البوابة NAND بالتعبير البوليني:

$$Y = \overline{AB}$$

في الالشكل (٢- ١٠) كلا الدخلين A وB مرتفع أي يساوي (1) خلال الفترة الزمنية $t_1$ والذي يجعل الخرج Y منخفضاً في هذه الفترة أي يساوي (0)، وخلال الفترة الزمنية $t_2$، الدخل A منخفض أي يساوي (0) والدخل B مرتفع أي يساوي (1) وبالتالي يكون الخرج Y يساوي (1)، وهكذا خلال الفترات الزمنية الأخرى.



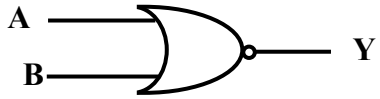

الالشكل (٢- ١٠) يبين المخطط الزمني لبوابة NAND بمدخلين.

### ٢- ١- ٥ بوابة NOR NOR Gate

كلمة NOR تعني NOT وOR وهي تعني عكس OR، وهذه البوابة يمكن الحصول عليها بتوصيل دخل بوابة العاكس (NOT gate) مع خرج البوابة OR كما هو موضح في الالشكل (٢- ١١)، ويبين الالشكل أيضا الرمز المنطقي للبوابة NOR، وجدول الحقيقة للبوابة NOR بمدخلين موضح في جدول (٢- ٨).

| المداخل | | الخرج |
|---|---|---|
| A | B | Y |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

الجدول (٢- ٨) جدول الحقيقة للبوابة NOR بمدخلين.

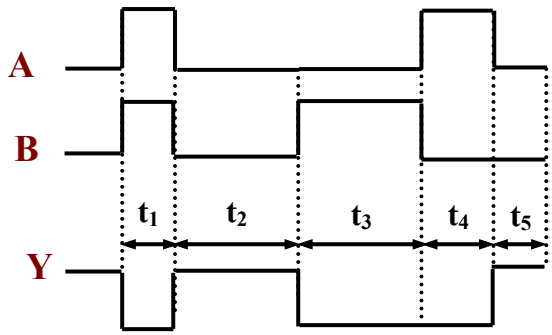


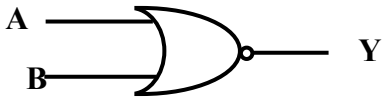

الالشكل (٢- ١١) رمز البوابة NOR.

نلاحظ من الجدول أن الخرج (Y) يكون غير حقيقي (0) عندما يكون أحد المداخل على الأقل عند المستوى (1)، والخرج يكون حقيقياً (1) فقط عندما تكون جميع المداخل عند الصفر (0) ، وتعتبر البوابة NOR كما هو الحال في البوابة NAND من البوابات الرئيسة الجامعة في الدوائر الرقمية، حيث يمكن أن يؤدي عمل كل من بوابات NOTوOR و AND ، أو أي تشكيلة منها. والتعبير البوليني للبوابة NOR هو:

$$Y = \overline{A + B}$$

الالشكل (٢- ١٢) يوضح بوابة NOR بمدخلين A وB ذات نبضات متغيرة المستوى، ويمكن من خلال جدول الحقيقة للبوابة NOR الحصول على الخرج (Y) الموضح بالالشكل.

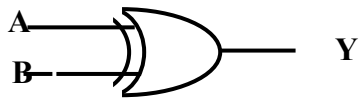



الالشكل (٢- ١٢) يوضح المخطط الزمني لبوابة NOR بمدخلين.

### ٢- ١- ٦ بوابة XOR Exclusive-OR Gate

تسمى البوابة XOR باسم بوابة " أيهما وليس كلاهما" وتختصر إلى XOR-gate، ويوضح الالشكل (٢- ١٣) الرمز المنطقي للبوابة حيث تختلف عن البوابات السابقة لأن عدد المداخل اثنان فقط.




الالشكل (٢- ١٣) رمز البوابة XOR.

| المداخل | | الخرج |
|---|---|---|
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

الجدول (٢- ٩) جدول الحقيقة للبوابة XOR.

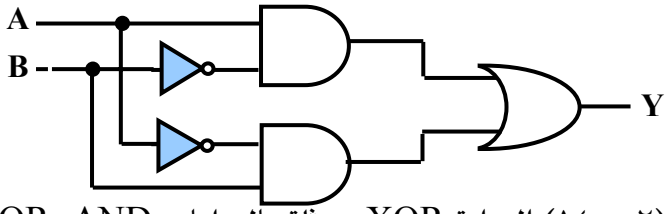
جدول (٢- ٩) يبين جدول الحقيقة للبوابة XOR، ونلاحظ من الجدول أن الخرج (Y) لا يساوي (1) إلا إذا كان الدخلان A وB مختلفين، بمعنى أن يكون أحدهما (1) والآخر (0) أو العكس، وتعطي خرجاً يساوي (0) عندما يكون الدخلين متساويين، ومن جدول الحقيقة يمكن استنتاج التعبير البوليني لهذه البوابة وهو:

$$Y = \overline{A}B + A\overline{B}$$

والذي يرمز إليه اختصاراً بالتعبير المنطقي:

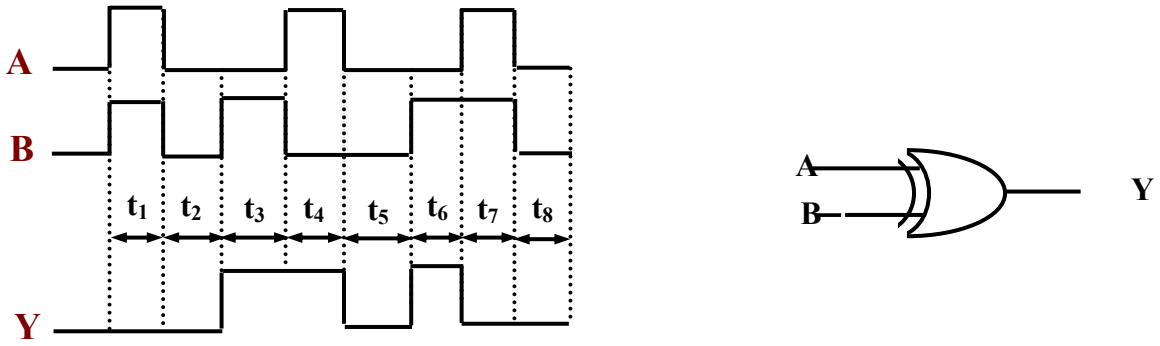
$$Y = A \oplus B$$

والعلامة $\oplus$ تعني أن A منفردة **أو** B منفردة، ومن التعبير البوليني السابق للبوابة XOR يمكننا بناء البوابة باستخدام بوابات ANDو OR وNOT ، وهذا ما يبينه الالشكل (٢- ١٤) حيث تقوم هذه الدائرة المنطقية بوظيفة البوابة XOR المنطقية.




الالشكل (٢- ١٤) البوابة XOR ممثلة بالبوابات AND وOR وNOT .

الالشكل (٢- ١٥) يوضح كيفية عمل البوابة XOR عندما تكون المداخل لها عبارة عن نبضات متغيرة المستوى، وكما ذكر سابقاً يجب النظر إلى المداخل بالنسبة لبعضها البعض حتى نتمكن من تحديد مستوى الخرج عند أي فترة زمنية.



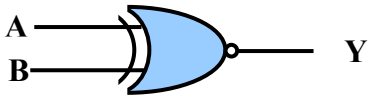

الالشكل (٢- ١٥) المخطط الزمني لبوابة XOR.

## ٢- ١- ٧ بوابة XNOR Exclusive-NOR Gate

عدد المداخل للبوابة **XNOR** لا يزيد عن دخلين كما هو الحال في البوابة XOR، ويوضح الالشكل (٢- ١٦) الرمز المنطقي للبوابة، وجدول الحقيقة للبوابة XNOR موضح بالجدول (٢- ١٠)، ويلاحظ من الجدول أن الخرج (Y) لا يساوي (1) إلا إذا كان الدخلان A وB متساويين أي A = B = 0 أو A = B = 1 ويعطي خرجاً يساوي (0) عندما يكون الدخلان مختلفين .

| المداخل | | الخرج |
|---|---|---|
| A | B | Y |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

الجدول (٢- ١٠)يوضح جدول الحقيقة للبوابة XNOR




الالشكل (٢- ١٦) رمز البوابة XNOR

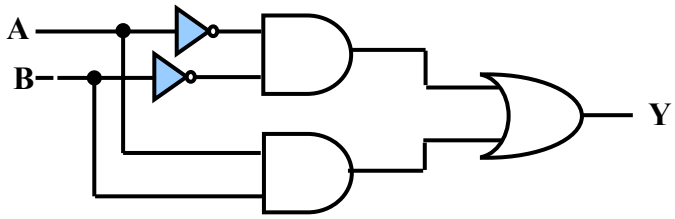
ومن جدول الحقيقة يمكن استنتاج التعبير البوليني لهذه البوابة وهو:

$$Y = AB + \overline{A}\,\overline{B}$$

والذي يرمز إليه اختصاراً بالتعبير المنطقي:

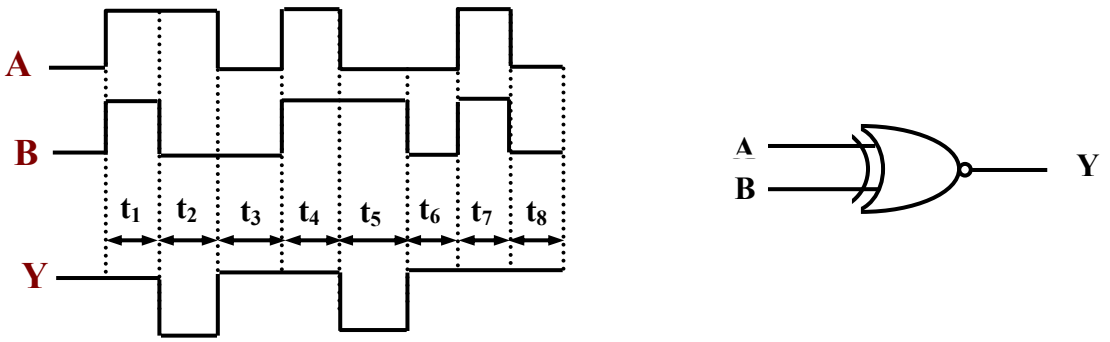
$$Y = A \odot B$$

والعلامة ⊙ تعني علامة التكافؤ، ومن التعبير البوليني السابق للبوابة XNOR يمكننا بناء البوابة باستخدام بوابات AND وOR وNOT ، وهذا ما يبينه الالشكل (٢- ١٧) حيث تقوم هذه الدائرة المنطقية بوظيفة البوابة XNOR المنطقية.




الالشكل (٢- ١٧) البوابة XNOR ممثلة بالبوابات AND وOR وNOT .

الشكل(٢- ١٨) يوضح بوابة XNOR بدخلين A وB لهما نبضات متغيرة المستوى، وعن طريق جدول الحقيقة للبوابة XNOR يمكننا الحصول على الخرج (Y) كما هو موضح بالالشكل.




الالشكل (٢- ١٨) يوضح المخطط الزمني لبوابة XNOR.

## ٢- ٢ قواعد الجبر البوليني Rules of Boolean Algebra

الجدول (٢- ١١) يبين القواعد الأساسية للجبر البوليني والتي تستخدم في تناول وتبسيط التعبيرات البولينية.

| | |
|---|---|
| 1. $A + 0 = A$ | 2. $A + 1 = 1$ |
| 3. $A \bullet 0 = 0$ | 4. $A \bullet 1 = A$ |
| 5. $A + A = A$ | 6. $A + \overline{A} = 1$ |
| 7. $A \bullet A = A$ | 8. $A \bullet \overline{A} = 0$ |
| 9. $\overline{\overline{A}} = A$ | 10. $A + AB = A$ |

الجدول (٢- ١١) القواعد الأساسية للجبر البوليني.

## ٢- ٣- ١ التعبير البوليني لدائرة منطقية The Boolean Expression for a Logic Circuit

لاستنتاج التعبير البوليني لأي دائرة منطقية، نبدأ من المداخل في أقصى اليسار متجهين إلى الخرج النهائي للدائرة وذلك بكتابة الخرج لكل بوابة، وكمثال على ذلك نفترض الدائرة المنطقية الموضحة في الالشكل (٢- ١٩)، ويمكن استنتاج التعبير البوليني لها كما يلي:

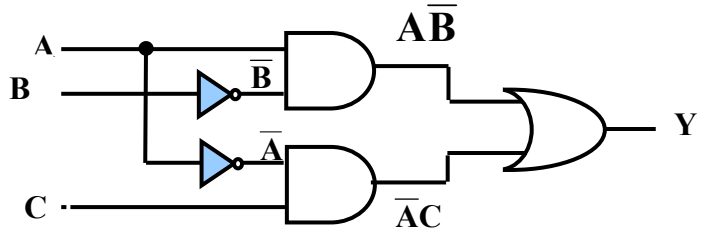
١. التعبير البوليني لبوابة AND والتي لها الدخلان $A, \overline{B}$ هو $A\overline{B}$.

٢. التعبير البوليني لبوابة AND والتي لها الدخلان $C, \overline{A}$ هو $\overline{A}C$.

٣. ويكون التعبير البوليني لبوابة OR والتي لها الدخلان $A\overline{B}, \overline{A}C$ هو $A\overline{B} + \overline{A}C$.

وعلى ذلك يكون الخرج النهائي للدائرة هو:

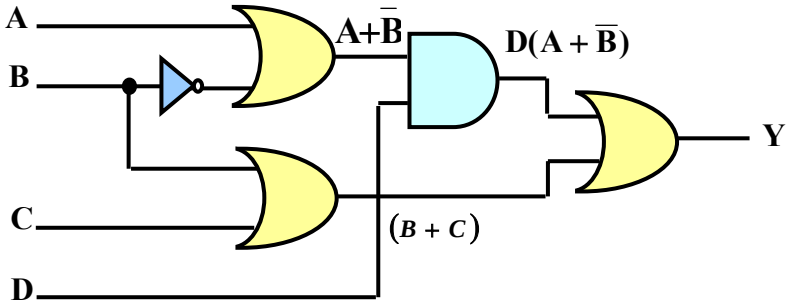
$$Y = A\overline{B} + \overline{A}C$$




الالشكل (٢- ١٩) دائرة منطقية تبين كيفية استنتاج التعبير البوليني للخرج.

**مثال (٢- ٢):** اكتب التعبير البوليني للدائرة المنطقية الموضحة في الشكل (٢- ٢٠).

**الحـــــل**




الالشكل (٢- ٢٠) الدائرة المنطقية لمثال (٢- ٢) وتبين كيفية الحصول على التعبير البوليني للخرج.

ويكون التعبير البوليني لخرج الدائرة النهائي هو:

$$Y = D(A + \overline{B}) + (B + C)$$

## ٢- ٣- ٢ تمثيل دائرة منطقية باستخدام التعبير البوليني

**Implementation of a Logic Circuit Using a Boolean Expression**

يمكن تمثيل دائرة منطقية ما بمعلومية التعبير البوليني لها. لنفترض الآن أننا نريد تمثيل التعبير البوليني الآتي:

$$Y = AB(C\overline{D} + EF)$$

عند تقسيم هذا التعبير البوليني نجد أن المتغيرات AوB ثم $(C\overline{D} + EF)$ تمثل ثلاثة مداخل لبوابة AND، والمتغير$(C\overline{D} + EF)$ يمكن تشكيله بأخذ $\overline{D}$ و$C$ على دخلي بوابة AND، وأخذ E وF على دخلي بوابة AND أخرى، ثم نأخذ كلاً من خرج البوابتين AND على دخلي بوابة OR، وعلى ذلك فإن البوابات المنطقية المطلوبة لتمثيل التعبير البوليني $AB(C\overline{D} + EF)$ هي:

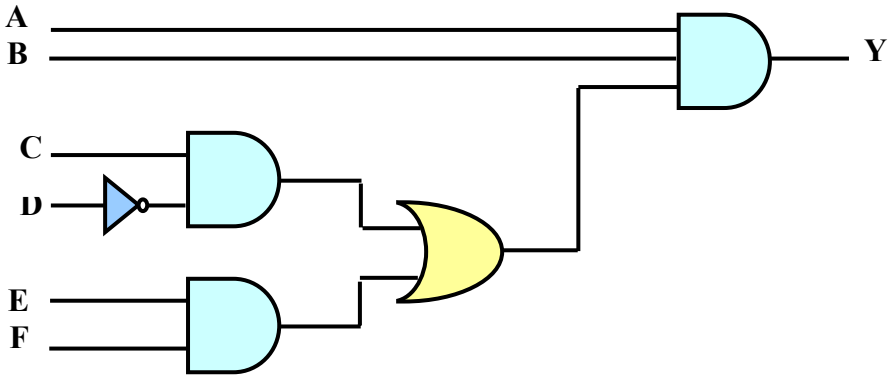
١. بوابة NOT لتمثيل المتغير $\overline{D}$.

٢. بوابتا AND لكل منهما مدخلان لتمثيل الحدين $C\overline{D}, EF$.

٣. بوابة OR ذات مدخلين لتمثيل الحد $(C\overline{D} + EF)$.

٤. بوابة AND بثلاث مداخل لتمثيل الخرج النهائي Y.

والدائرة المنطقية التي تمثل التعبير البوليني السابق موضحة في الالشكل (٢- ٢١).




الالشكل (٢- ٢١) الدائرة المنطقية للتعبير البوليني $\mathbf{AB(C\overline{D} + EF)}$.

## ٢- ٣ تمثيل دائرة منطقية من خلال جدول الحقيقة

## Implementation of a Logic Circuit via a Truth Table

يمكن الحصول على التعبير البوليني من جدول الحقيقة كما يلي:

١. نحدد من جدول الحقيقة تشكيلة المداخل التي تعطي الخرج $Y = 1$، ففي الصف الثالث من الجدول نجد أن الخرج $Y = 1$ حيث قيمة المداخل هي $A = 0, B = 1, C = 0$، وتكتب بالتعبير البوليني على الالشكل $\overline{A}B\overline{C}$ حيث يكتب المتغير برمزه إذا كان يساوي (1)، ويكتب بعكس رمزه إذا كان يساوي (0)، وبالمثل فإن الخرج يساوي (1) في الصف السابع من الجدول والذي يكتب بالتعبير البوليني على الالشكل $AB\overline{C}$.

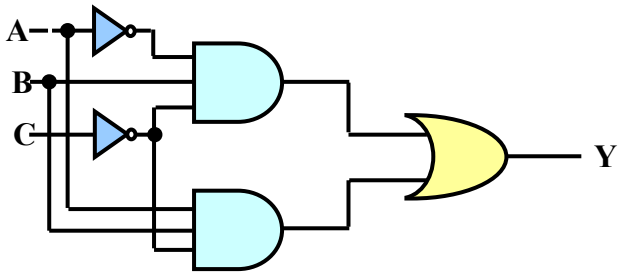
| المداخل | | | الخرج |
|---|---|---|---|
| A | B | C | Y |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

الجدول (٢- ١٢) جدول الحقيقة لدائرة منطقية ما يراد تمثيلها.

٢. بتجميع التعبيرات البولينية التي تعطي الخرج Y = 1 عن طريق بوابة OR نحصل على:

$$Y = \overline{A}B\overline{C} + AB\overline{C}$$

الحد الأول في التعبير البوليني السابق $\overline{A}B\overline{C}$ يمكن تمثيله عن طريق تجميع المتغيرات الثلاثة $\overline{A}, B, \overline{C}$ على بوابة AND، والحد الثاني من التعبير البوليني $AB\overline{C}$ يمكن تمثيله عن طريق تجميع المتغيرات الثلاثة $A, B, \overline{C}$ على بوابة AND، وبتجميع الحدين الأول والثاني على بوابة OR يمكننا الحصول على التعبير البوليني للخرج Y.والدائرة المنطقية التي تمثل هذا التعبير البوليني موضحة في الالشكل (٢- ٢٢).




الالشكل (٢- ٢٢) يوضح الدائرة المنطقية للتعبير البوليني $\overline{A}B\overline{C} + AB\overline{C}$.

**مثال (٢- ٣):** استنتج الدائرة المنطقية المطلوبة لتمثيل جدول الحقيقة (٢- ١٣).

| المداخل | | | الخرج |
|---|---|---|---|
| A | B | C | Y |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 |

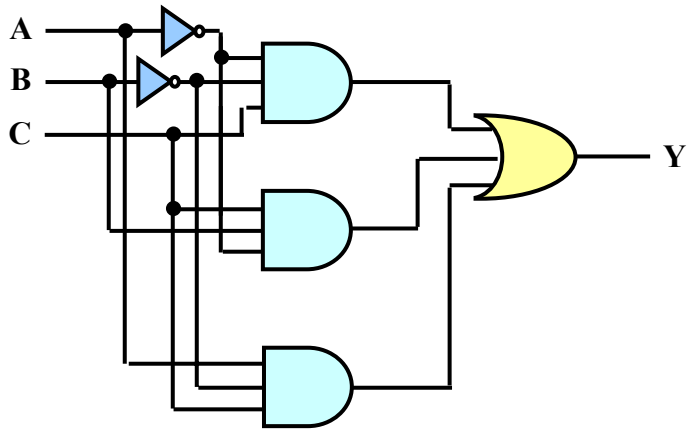
الجدول (٢- ١٣) جدول الحقيقة للدائرة المنطقية المراد تمثيلها.

**الحـــــل**

التعبير البوليني لجدول الحقيقة المبين يمكن كتابته عن طريق تجميع الحدود التي تعطي الخرج Y = 1 على بوابة OR كما يلي:

$$Y = \overline{A}\overline{B}C + \overline{A}BC + A\overline{B}C$$

ويكون التمثيل النهائي للدائرة كما هو موضح بالشكل (٢- ٢٣).




الالشكل (٢- ٢٣) يوضح الدائرة المنطقية للتعبير البوليني $\mathbf{\overline{A}\overline{B}C + \overline{A}BC + A\overline{B}C}$.

## ٢- ٤ تحويل التعبير البوليني إلى جدول الحقيقة

**Converting a Boolean Expression to a Truth Table**

جدول الحقيقة ببساطة هو عبارة عن قائمة بالتشكيلات المحتملة لعدد المتغيرات وقيم الخرج المقابلة لها (0 or1)، وللتعبير البوليني المحتوي على متغيرين هناك أربعة تشكيلات مختلفة ($2^2 = 4$)، وللتعبير عن ثلاثة متغيرات، هناك ثمانية تشكيلات مختلفة ($2^3 = 8$)، وهكذا.

لعمل جدول الحقيقة للتعبير البوليني، نبدأ بكتابة التشكيلات المختلفة حسب عدد المتغيرات الموجودة بالتعبير البوليني ثم نضع (1) في عمود الخرج (Y) لكل حد موجود في التعبير البوليني، ونضع (0) أمام الحدود المتبقية، والمثال التالي يوضح ذلك.

**مثال (٢- ٤):** استنتج جدول الحقيقة للتعبير البوليني:

$$Y = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} + AB\overline{C} + ABC$$

**الحـــــل**

هنـاك ثلاثـة مـتغيرات (A, B, C) في التعـبير البـوليني المعطـى، وبالتـالي فهنـاك ثمانيـة احتمـالات أو تشـكيلات مختلفـة لهذه المتغيرات كمـا هـو موضـح بالأعمـدة الثلاثـة علـى اليسـار في الجـدول (٢- ١٤). القيم الثنائية لكل حد من الحدود الأربعة في التعبير البوليني هي:

$$\overline{A}\overline{B}\overline{C} = 000,\ \overline{A}B\overline{C} = 010,\ AB\overline{C} = 110,\ ABC = 111$$

أمـام كـل مـن هـذه القـيم الثنائيـة يوضـع (1) في عمـود الخـرج (Y) كمـا هـو موضـح بالجدول،ويوضـع (0)للتشـكيلات الثنائية المتبقية في عمود الخرج (Y).

| المداخل | | | الخرج |
|---|---|---|---|
| **A** | **B** | **C** | **Y** |
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

الجدول (٢- ١٤) يبين جدول الحقيقة للتعبير البوليني $\mathbf{Y = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} + AB\overline{C} + ABC}$ .

## ٢- ٥ تبسيط التعبيرات البولينية باستخدام الجبر البوليني

## Simplification of Boolean Expressions Using Boolean algebra

تستخدم قواعد الجبر البوليني والتي سبق شرحها لتبسيط الدوال المنطقية وذلك لتمثيلها بأقل عدد من البوابات المنطقية، وبأقل عدد من المداخل.

**مثال (٢- ٥):** باستخدام قواعد الجبر البوليني بسط الدالة المنطقية الآتية:

$$Y = AB + A(A + C) + B(A + C)$$

### الحـــــــل

الخطوة الأولى في عملية التبسيط هي فك الأقواس الموجودة بالدالة فنحصل على:

$$Y = AB + AA + AC + AB + BC$$

نعوض عن قيمة الحد AA بالمتغير A (راجع القاعدة رقم 7 من قواعد الجبر البوليني) فتصبح الدالة:

$$Y = AB + A + AC + AB + BC$$

وبتطبيق القاعدة رقم 5 حيث $A + A = A$، فإن $AB + AB = AB$، وتصبح الدالة:

$$Y = AB + A + AC + BC$$

وبأخذ المتغير A عاملاً مشتركاً بين الحد الأول والثاني والثالث فنحصل على:

$$Y = A(B + 1 + C) + BC$$

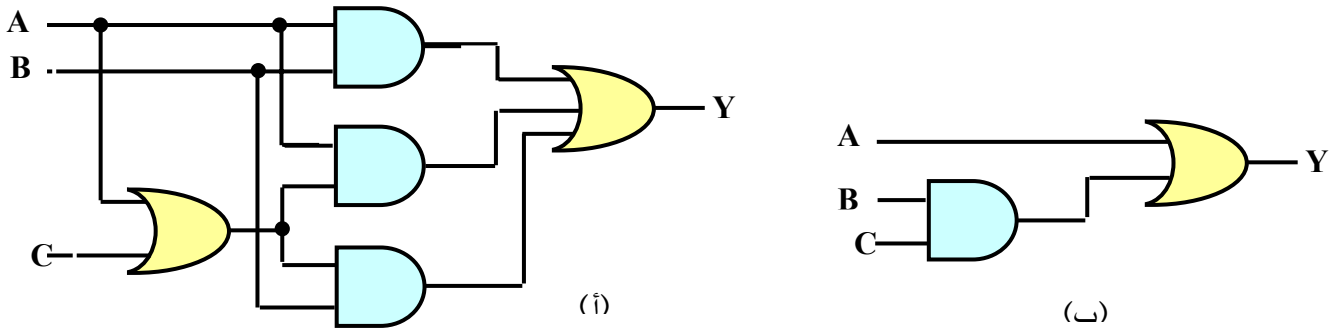
وبتطبيق القاعدة رقم 2 حيث $A + 1 = 1$، نجد أن:

$$Y = A \bullet 1 + BC$$

وأخيراً بتطبيق القاعدة رقم 4 حيث $A \bullet 1 = A$، نحصل على:

$$Y = A + BC$$

الالشكل (٢- ٢٤) يوضح كيفية تمثيل الدالة بعد تبسيطها بأقل عدد ممكن من البوابات حيث يمكن تمثيلها باستخدام بوابتين فقط (الالشكل(ب))، بينما يحتاج تمثيل الدالة الأصلية قبل التبسيط إلى خمس بوابات (الالشكل(أ)).




الالشكل (٢- ٢٤) تمثيل الدالة المنطقية لمثال (٢- ٥) قبل وبعد تبسيطها.

**مثال (٢- ٦):** ضع التعبير البوليني الآتي في أبسط صورة ثم ارسم الدائرة المنطقية للتعبير قبل وبعد التبسيط.

$$Y = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}BC + ABC$$

**الحـــــل**

بأخذ الحدين الأول والثاني مع بعضهما، وكذلك الحدين الثالث والرابع، نحصل على:

$$Y = (\overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C) + (\overline{A}BC + ABC)$$
$$= \overline{A}\overline{B}(\overline{C} + C) + BC(\overline{A} + A)$$

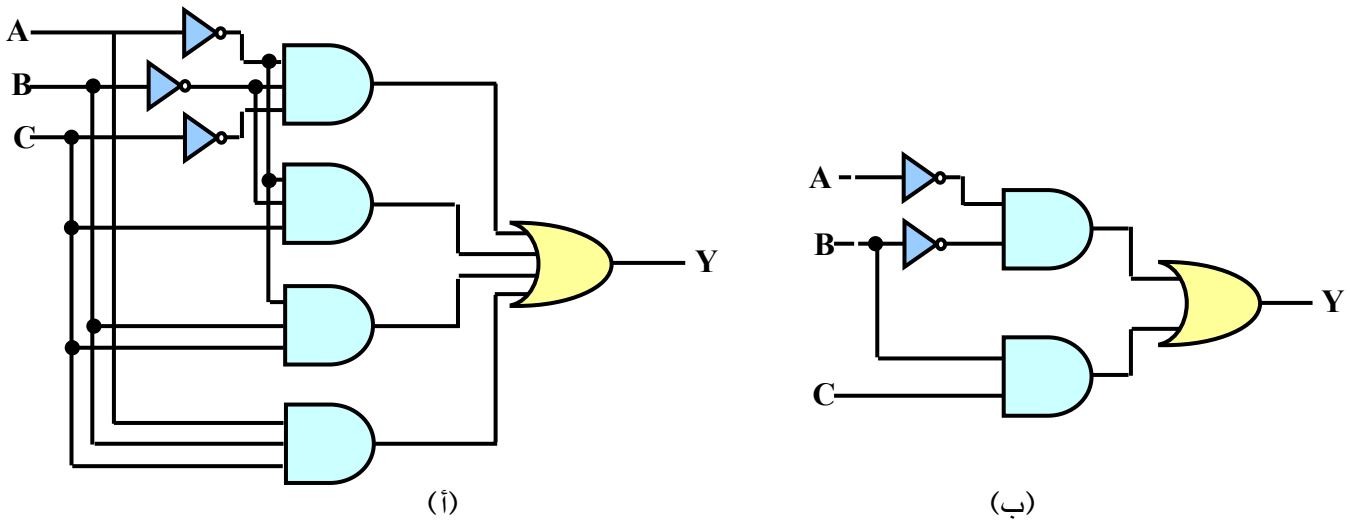
وبتطبيق القاعدة رقم 6 نحصل على:

$$Y = \overline{A}\overline{B} \bullet 1 + BC \bullet 1$$

ثم بتطبيق القاعدة رقم 4 نحصل على الصورة النهائية للتعبير البوليني وهي:

$$Y = \overline{A}\overline{B} + BC$$

الشكل (٢- ٢٥) يوضح تمثيل التعبير البوليني بالبوابات قبل وبعد عملية التبسيط.

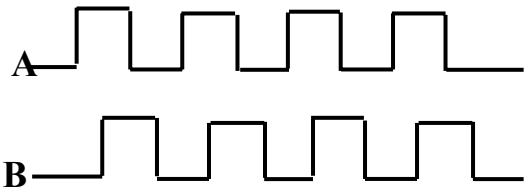



(أ) (ب)

الشكل (٢- ٢٥) تمثيل الدالة المنطقية لمثال (٢- ٦) قبل وبعد تبسيطها.

# تدريبات على الوحدة الثانية

(٢- ١) ارسم الشكل المخطط الزمني للخرج X لبوابة AND ذات المدخلين A, B ، إذا كان الشكل نبضات الدخل على المدخلين موضح في الشكل- ١.

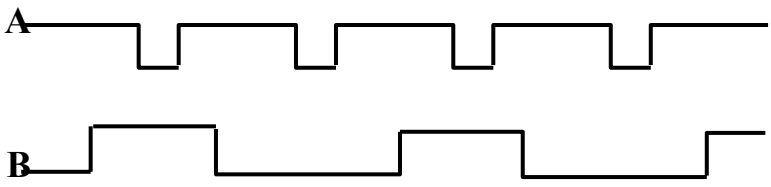



الالشكل- ١

X

(٢- ٢) ارسم الشكل المخطط الزمني للخرج X لبوابة OR ذات المدخلين A, B ، إذا كان الشكل نبضات
الدخل على المدخلين كما في الشكل- ١.

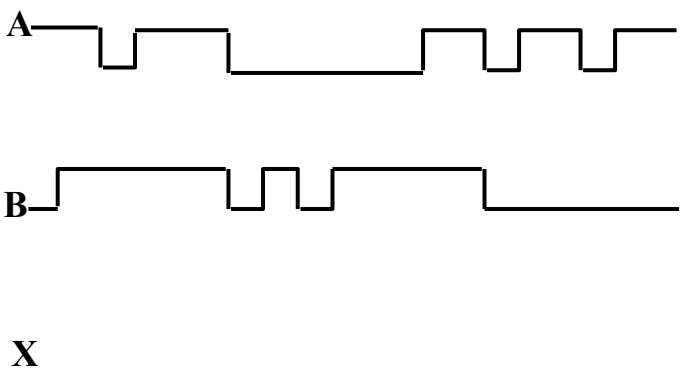
(٢- ٣) ارسم الشكل المخطط الزمني للخرج X لبوابة NAND ذات المدخلين A, B ، إذا كان الشكل نبضات الدخل على المدخلين كما في الشكل- ٢.




X

الاشكل- ٢

(٢- ٤) ارسم الشكل المخطط الزمني للخرج X لبوابة NOR ذات المدخلين A وB، إذا كان الشكل نبضات الدخل على المدخلين موضح في الاشكل- ٣.

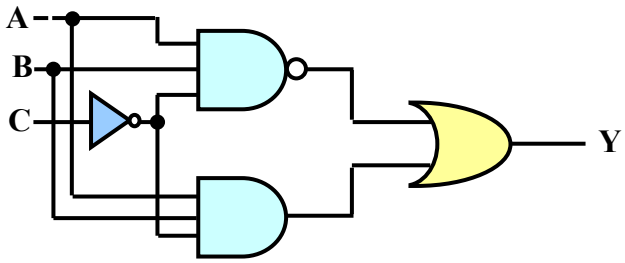



الاشكل- ٣

(٢- ٥) ارسم الشكل المخطط الزمني للخرج X لبوابة XOR ذات المدخلين A وB ، إذا كان الشكل نبضات الدخل على المدخلين كما في الاشكل- ٣.

(٢- ٦) ارسم الشكل المخطط الزمني للخرج X لبوابة XNOR ذات المدخلين A وB ، إذا كان الشكل نبضات الدخل على المدخلين موضح في الاشكل- ٣.

(٢- ٧) اكتب التعبير البوليني للدائرة الموضحة في الاشكل- ٤.




الاشكل- ٤

(٢- ٨) ارسم الدائرة المنطقية لكل من التعبيرات المنطقية الآتية:

a) $A\overline{B} + \overline{A}B$ b) $AB + \overline{AB} + \overline{A}BC$

c) $\overline{A}B(C + \overline{D})$

d) $A + B[C + D(B + \overline{C})]$

**(٢- ٩)** استنتج الدائرة المنطقية لتمثيل جدول الحقيقة التالي:

| المداخل | | | الخرج |
|---|---|---|---|
| **A** | **B** | **C** | **Y** |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

**(٢- ١٠)** استنتج جدول الحقيقة للتعبيرات البولينية الآتية:

a) $(A + B)C$

b) $(A + B)(\overline{B} + C)$

c) $A(AC + \overline{A}B)$

d) $A(A + \overline{A}B)$

# الدوائر المنطقية والمعالجات الدقيقة

## الدوائر المنطقية التوافقية

# الوحدة الثالثة : الدوائر المنطقية التوافقية

**الجدارة :** التعرف على الدوائر المنطقية التوافقية

**الأهداف :** يتعرف المتدرب بإذن الله على الموضوعات التالية:

١. كيفية تمثيل الدوائر المنطقية التوافقية باستخدام البوابات NAND و NOR فقط مع دراسة بعض النظريات التي تساعد في عملية التمثيل بهذه البوابات.
٢. طريقة التبسيط للتعبيرات البولينية باستخدام خريطة كارنو (Karnaugh-Map) والتي يطلق عليها أيضاً اسم خريطة K (K–map).
٣. تتناول الوحدة دراسة وتحليل وتصميم الدوائر المنطقية التوافقية لعمليات الجمع والطرح الثنائي بأنواعها المختلفة.

**مستوى الأداء المطلوب:** أن يصل المتدرب إلى إتقان الجدارة ٩٠٪.

**الوقت المتوقع للتدرب على الجدارة:** ٧ ساعات

**الوسائل المساعدة:**

- السبورة
- استخدام برنامج Power point لعرض المحاضرات باستخدام جهاز عرض البيانات.

**متطلبات الجدارة:** أن يكون المتدرب ملماً بنظم الأعداد والبوابات المنطقية والدوائر المنطقية البسيطة.

## مقـــــــــدمة Introduction

في الوحدة السابقة تمت دراسة البوابات المنطقية وتم استعراض كيفية تصميم الدوائر المنطقية البسيطة باستخدام هذه البوابات، وفي عدم وجود عناصر للتخزين، تُصنف الدائرة التي نحصل عليها بالدائرة المنطقية التوافقية (Combinational Logic Circuit).حيث يعتمد مستوى الخرج (0 أو 1) في أي لحظة على مستوى المداخل للدائرة.

وهذه الوحدة تتناول بالدراسة كيفية تمثيل الدوائر المنطقية التوافقية باستخدام البوابات NAND و NOR فقط مع دراسة بعض النظريات التي تساعد في عملية التمثيل بهذه البوابات، و تتناول بالتحليل أيضاً طريقة التبسيط للتعبيرات البولينية باستخدام خريطة كارنو (Karnaugh-Map) والتي يطلق عليها أيضاً اسم خريطة K (K–map).

وفي النهاية تتناول هذه الوحدة دراسة وتحليل وتصميم الدوائر المنطقية التوافقية لعمليات الجمع والطرح الثنائي بأنواعها المختلفة.

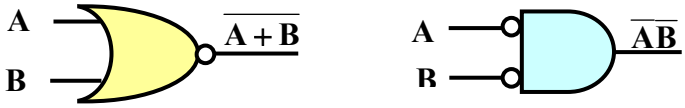
## ٣- ١ نظريات ديمورجان Demorgan's Theorems

تعتبر نظريات ديمورجان جزءاً هاماً من الجبر البوليني، فهذه النظريات تستخدم لتحويل التعبيرات الجبرية من وضعية AND الأساسية إلى وضعية OR وبالعكس. كما تسمح لنا بحذف العلامات الفوقية (bars) من المتغيرات المتعددة، ويمكن كتابة نظريتي ديمورجان لمتغيرين على الالشكل التالي:

**نظرية ديمورجان الأولى:** $\overline{A + B} = \overline{A} \bullet \overline{B}$

**نظرية ديمورجان الثانية:** $\overline{A \bullet B} = \overline{A} + \overline{B}$

**النظرية الأولى** تغير من وضعية OR الأساسية إلى وضعية AND كما هو موضح في الالشكل (٣- ١) حيث تكافئ البوابة NOR في الطرف الأيسر البوابة AND ولكن بمدخلين معكوسين في الطرف الأيمن حيث تقوم الدائرة الصغيرة في المدخل مقام بوابة العاكس، ويمكن إثبات هذه النظرية عن طريق جدول الحقيقة كما هو مبين في الجدول (٣- ١)، ويطلق على البوابة التي في الطرف الأيمن اسم بوابة AND السالبة (negative AND).




الالشكل (٣- ١) التغير من وضعية OR إلى وضعية AND

| المداخل | | الخرج | |
|---|---|---|---|
| A | B | $\overline{A+B}$ | $\overline{A} \bullet \overline{B}$ |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 |

الجدول(٣- ١) يبين إثبات نظرية ديمورجان الأولى.

**النظرية الثانية** تغير من وضعية AND الأساسية إلى وضعية OR كما هو موضح في الالشكل (٣- ٢) حيث تكافئ البوابة NAND في الطرف الأيسر البوابة OR بمدخلين معكوسين في الطرف الأيمن، ويمكن أيضاً إثبات هذه النظرية عن طريق جدول الحقيقة المبين في الجدول (٣- ٢)، ويطلق أيضاً على البوابة التي على اليمين اسم بوابة OR السالبة (negative OR).

الالشكل (٣- ٢) يوضح التغير من وضعية AND إلى وضعية OR.

| المداخل | | الخرج | |
|---|---|---|---|
| A | B | $\overline{A \bullet B}$ | $\overline{A}+\overline{B}$ |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 |

الجدول (٣- ٢) يبين إثبات نظرية ديمورجان الثانية.

الأمثلة الآتية توضح كيفية تطبيق نظريات ديمورجان على ثلاث متغيرات وأربع متغيرات.

**مثال (٣- ١):** طبق نظريات ديمورجان على التعبير البوليني التالي:

$$Y = \overline{(A + \overline{B} + \overline{C}) \bullet (\overline{A} + B + \overline{C})}$$

**الحـــــــل**

$$\begin{aligned} Y &= \overline{(A + \overline{B} + \overline{C}) \bullet (\overline{A} + B + \overline{C})} \\ &= \overline{(A + \overline{B} + \overline{C})} + \overline{(\overline{A} + B + \overline{C})} \\ &= \overline{A}\,\overline{\overline{B}}\,\overline{\overline{C}} + \overline{\overline{A}}\,\overline{B}\,\overline{\overline{C}} = \overline{A}\,B\,C + A\,\overline{B}\,C \end{aligned}$$

**مثال (٣- ٢):** طبق نظريات ديمورجان على التعبير البوليني التالي:

$$Y = \overline{(\overline{A} + B) + CD}$$

**الحـــــــل**

$$\begin{aligned} Y &= \overline{(\overline{A} + B) + CD} \\ &= \overline{(\overline{A} + B)}.\overline{CD} \\ &= (\overline{\overline{A}}.\overline{B})(\overline{C} + \overline{D}) \\ &= A\overline{B}(\overline{C} + \overline{D}) \end{aligned}$$

## ٣- ٢ الخواص العامة لبوابات NOR وNAND

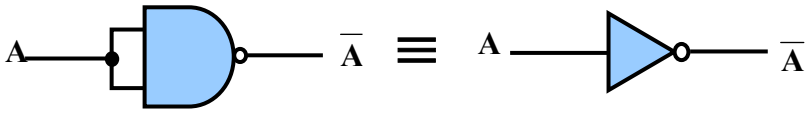
## The Universal Property of NAND and NOR Gates

في الوحدة السابقة تم استعراض كيفية تمثيل الدوائر المنطقية باستخدام بوابات AND، وبوابات OR، والعواكس أما هنا فسوف نناقش استخدام بوابات NAND وبوابات NOR كبوابات عامة (Universal Gates) لتمثيل أي تعبير بوليني.

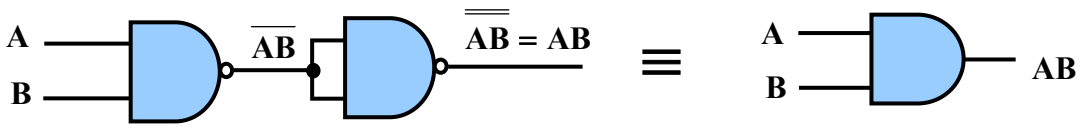
### ٣- ٢- ١ البوابة NAND كعنصر منطقي عام NAND Gate as a Universal Logic Element

البوابة NAND هي بوابة عامة لأنه يمكن استخدامها في تنفيذ عملية العاكس، وعملية AND، وعملية OR، وكذلك عملية NOR، والعاكس يمكن بناؤه من البوابة NAND عن طريق توصيل جميع

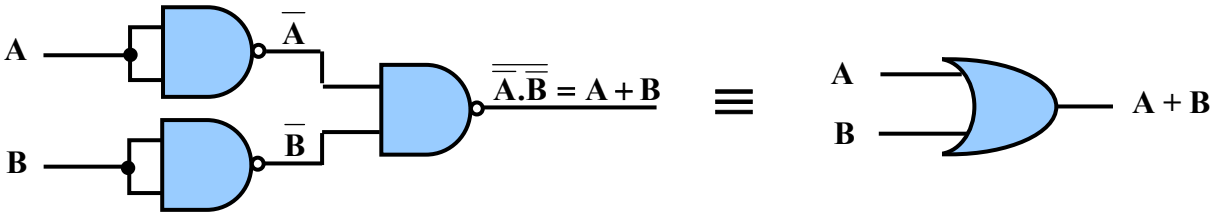
المداخل في مدخل واحد كما هو موضح في الالشكل( ٣- ٣ (أ)) وذلك لبوابة NAND ذات مدخلين. ويمكن توليد عمليةAND باستخدام بوابات NAND فقط كما هو موضح في الالشكل( ٣- ٣(ب)). والبوابة OR يمكن بناؤها باستخدام بوابات NAND كما في الالشكل( ٣- ٣(جـ))، وأخيراً البوابة NORيمكن بناؤها كما هو موضح في الالشكل( ٣- ٣(د)).



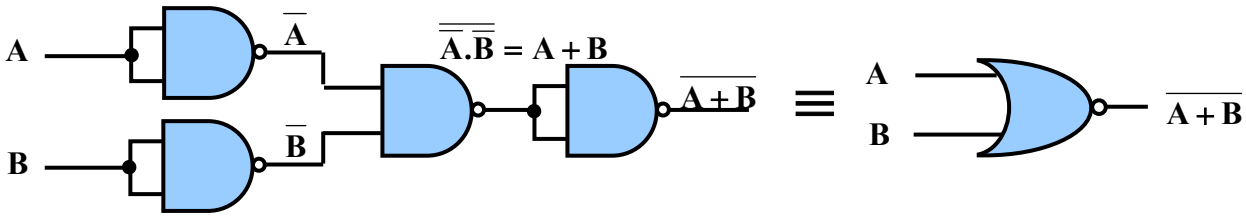

(أ)




(ب)




(جـ)



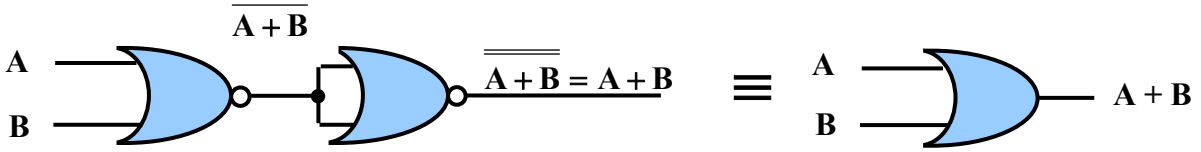

(د)

الالشكل (٣- ٣) يوضح التطبيق العام لبوابات NAND.

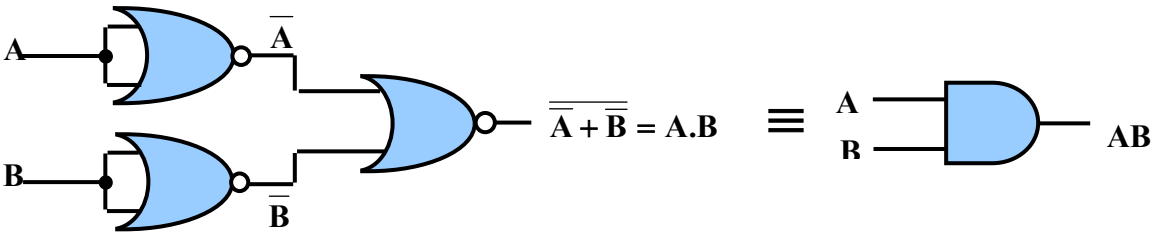
## ٣- ٢- ٢ البوابة NOR كعنصر منطقي عام NOR Gate as a Universal Logic Element

كما في بوابة NAND، فإن البوابة NOR يمكن استخدامها لبناء بوابات عاكس، AND وOR، وكذلك بوابة NAND، والالشكل (٣- ٤) يوضح كيفية توصيل البوابة NOR لتقوم بعمل بوابة NOT وبوابة OR وكذلك بوابة NAND.

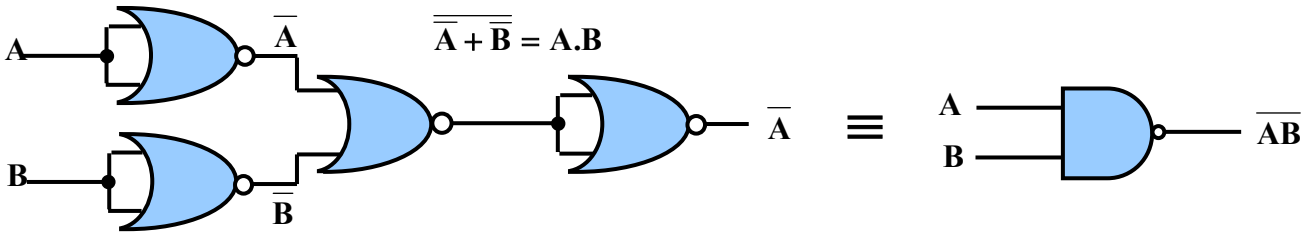
(أ)




(ب)




(جـ)




(د)

الالشكل (٣- ٤) يوضح التطبيق العام لبوابات NOR.

## ٣- ٣ تصميم الدوائر المنطقية التوافقية باستخدام بوابات NAND و NOR

## Design of Combinational Logic Circuits using NAND and NOR Gates

يستعرض هذا الجزء كيفية استخدام بوابات NAND و NOR وذلك لتمثيل الدوال المنطقية مع الأخذ في الاعتبار أن البوابة NAND تكافئ البوابة OR السالبة (Negative-OR)، والبوابة NOR تكافئ البوابة AND السالبة (Negative AND).

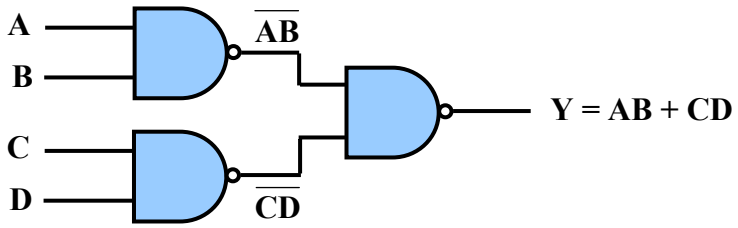
### ٣- ٣ ١ التصميم باستخدام بوابة NAND

كما سبق فإن البوابة NAND تؤدي دالة NAND أو دالة OR السالبة، لأنه باستخدام نظرية ديمورجان الثانية:

$$\overline{A \bullet B} = \overline{A} + \overline{B}$$

NAND ← Negative-OR

وعلى سبيل المثال الدائرة المنطقية الموضحة في الالشكل (٣- ٥).




الالشكل (٣- ٥) يوضح دائرة منطقية ممثلة باستخدام بوابات NAND فقط.

ويمكن استنتاج التعبير البوليني للخرج (Y) لهذه الدائرة كما يلي:

$$Y = (\overline{AB})(\overline{CD})$$

وبتطبيق نظرية ديمورجان الثانية نحصل على:

$$Y = \overline{\overline{AB}} + \overline{\overline{CD}}$$

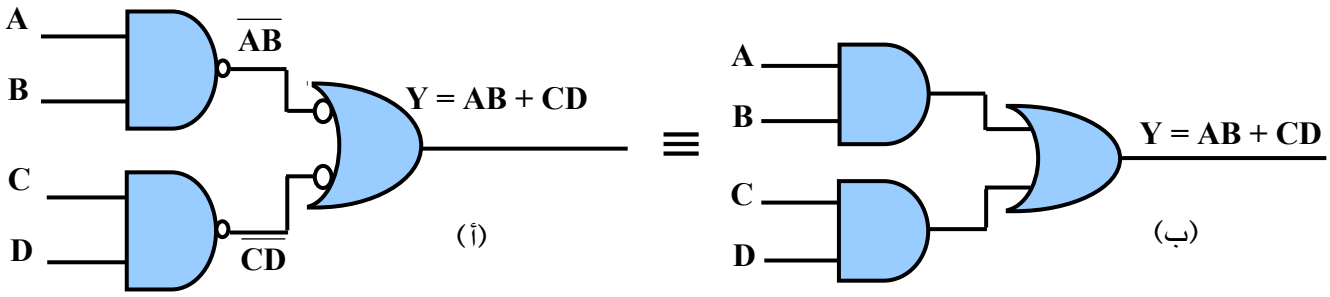
وبحذف الإشارات الفوقية (bars) نحصل على ما يلي:

$$Y = AB + CD$$

ويمكن تمثيل نفس التعبير البوليني للخرج (Y) كما في الالشكل( ٣- ٦(أ)) حيث تم استبدال البوابة NAND على اليمين ببوابة OR السالبة، وحيث إن توصيل عاكسين على التوالي يلغيان بعضهما البعض

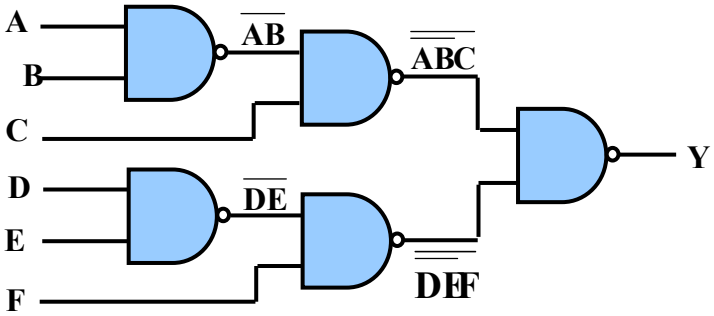
فإننا بذلك نحصل على الالشكل( ٣- ٦(ب))، وبالتالي فإن الدائرة في الالشكل (٣-٥) تكافئ الدائرة في الالشكل( ٣- ٦(ب))، ويقال إن:

**(NAND-NAND-NAND) ≡ (AND-AND-OR)**




الالشكل (٣- ٦)يبين أن AND-AND-OR تكافئ الدائرة في الالشكل

الالشكل (٣- ٧) يوضح دائرة منطقية ممثلة عن طريق بوابات NAND والمطلوب إعادة هذا المخطط المنطقي باستخدام بوابات OR- السالبة.

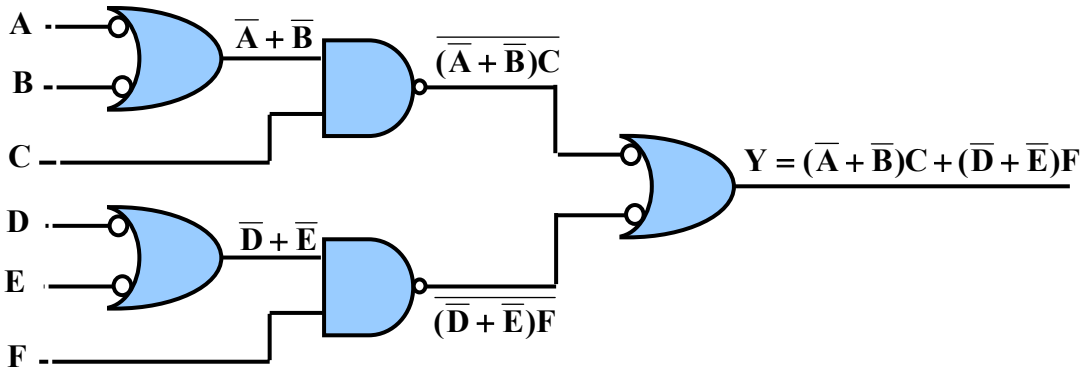



الالشكل (٣- ٧) الدائرة المنطقية المطلوب تمثيلها باستخدام بوابات OR-

معادلة الخرج (Y) للدائرة في الشكل (٣- ٧):

$$F = \overline{\overline{[(\overline{AB})C]} \bullet \overline{[(\overline{DE})F]}}$$
$$= \overline{\overline{[(\overline{A} + \overline{B})C]} \bullet \overline{[(\overline{D} + \overline{E})F]}}$$
$$= \overline{\overline{(\overline{A} + \overline{B})C}} + \overline{\overline{(\overline{D} + \overline{E})F}}$$
$$= (\overline{A} + \overline{B})C + (\overline{D} + \overline{E})F$$

وباستخدام البوابة OR- السالبة المكافئة للبوابة NAND نحصل على الدائرة المكافئة كما في الالشكل (٣- ٨)، ويمكن كتابة معادلة الخرج (Y) مباشرة من خلال العمليات المنطقية لكل بوابة.




الالشكل (٣- ٨) الدائرة المكافئة لالشكل (٣- ٧) باستخدام بوابات OR-

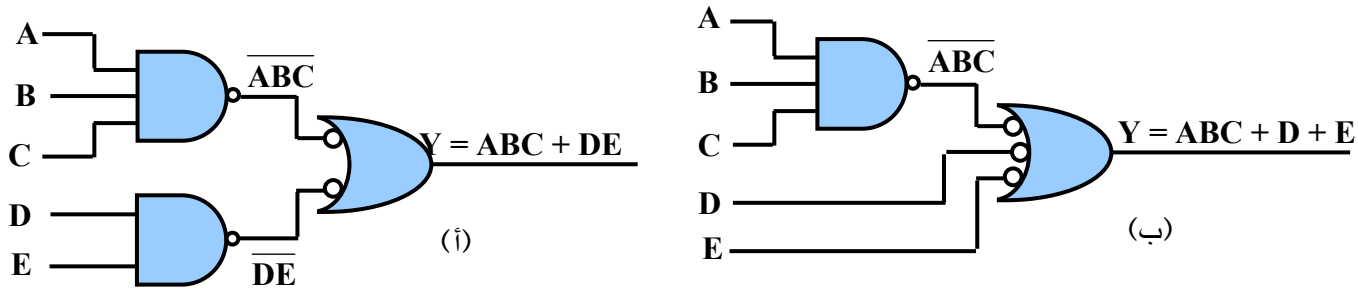
**مثال (٣- ٣):** حقق كلاً من التعبيرين المنطقيين الآتيين مستخدماً بوابات NAND فقط:

(a) $Y = ABC + DE$

(b) $Y = ABC + \overline{D} + \overline{E}$

**الحـــــل**

**انظر إلى** الالشكل (٣- ٩).




الالشكل (٣- ٩) الدائرتان المكافئتان للتعبيرين المنطقيين لمثال (٣-

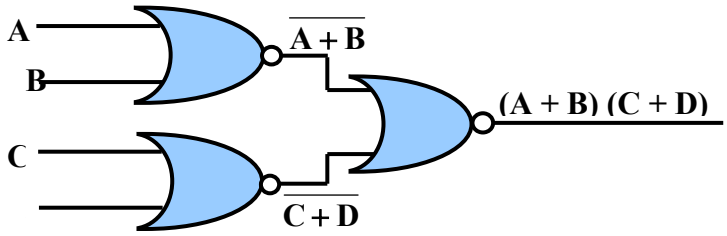
### ٣- ٣- ٢ التصميم باستخدام بوابة NOR

كما ذكرنا سابقاً أن البوابة NOR تؤدي دالة NOR أو دالة AND- السالبة لأنه باستخدام نظرية ديمورجان الثانية:

$$\overline{A + B} = \overline{A} \bullet \overline{B}$$

NOR ← Negative-AND

فلنأخذ كمثال الدائرة المنطقية الموضحة في الالشكل (٣- ١٠).




الالشكل (٣- ١٠) دائرة منطقية ممثلة باستخدام بوابات NOR فقط.

ويمكن استنتاج التعبير البوليني لهذه الدائرة كما يلي:

$$Y = \overline{(\overline{A+B}) + (\overline{C+D})}$$

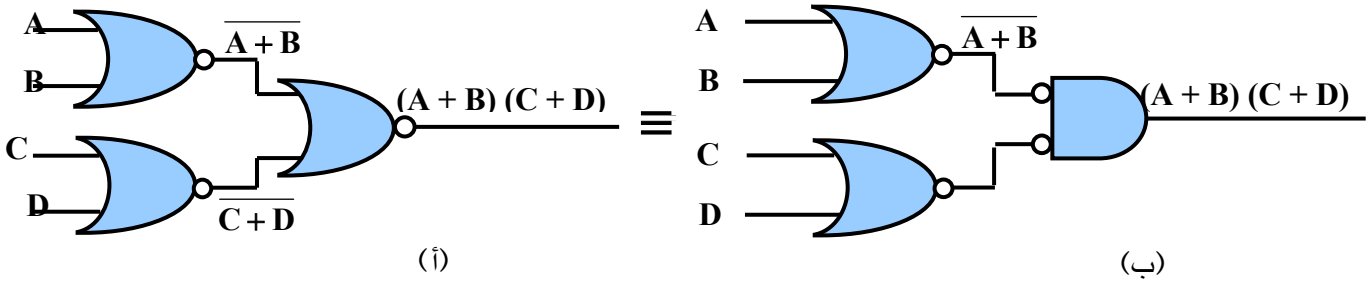
وبتطبيق نظرية ديمورجان الأولى نحصل على:

$$Y = \overline{(A+B)} \bullet \overline{(C+D)}$$

وبحذف الإشارات الفوقية نجد أن:

$$Y = (A+B) \bullet (C+D)$$

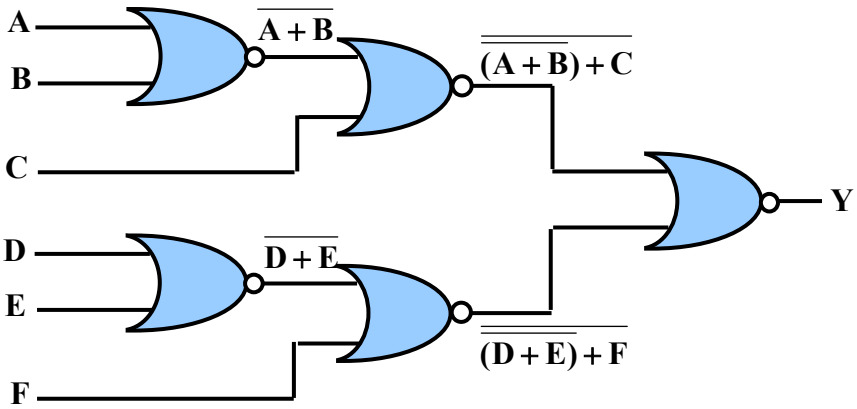
لاحظ أن التعبير $(A+B)(C+D)$ يتكون من بوابتي OR وبوابة AND ، وهذا يوضح أن البوابتين على اليسار تكافئان بوابتي OR والبوابة على اليمين تكافئ بوابة AND كما هو موضح في الالشكل(٣-١١(أ)) وهذه الدائرة أعيد رسمها في الالشكل (٣- ١١(ب)) باستخدام بوابة AND- السالبة.




الالشكل (٣- ١١) الدائرة المكافئة لالشكل (٣- ١٠) باستخدام بوابات AND- السالبة.

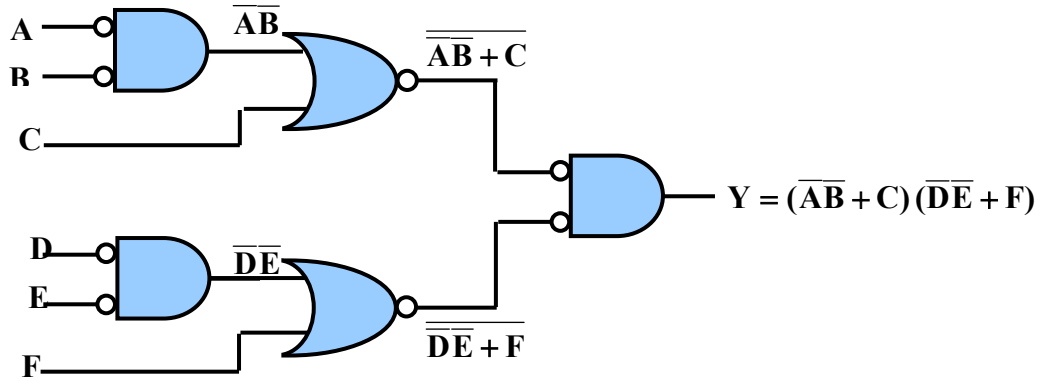
الالشكل (٣- ١٢) يوضح دائرة منطقية ممثلة ببوابات NOR، والمطلوب إعادة تمثيل الدائرة باستخدام بوابة AND- السالبة. نحصل أولاً على الخرج (Y) للدائرة كما يلي:

$$\begin{aligned} Y &= \overline{[\overline{(\overline{A+B})+C}]+[\overline{(\overline{D+E})+F}]} \\ &= \overline{[\overline{AB}+C]+[\overline{DE}+F]} \\ &= (\overline{AB}+C)(\overline{DE}+F) \end{aligned}$$




الالشكل (٣- ١٢) دائرة منطقية ممثلة ببوابات NOR فقط.

وباستخدام بوابة AND- السالبة المكافئة لبوابة NOR نحصل على الدائرة في الالشكل (٣- ١٣).



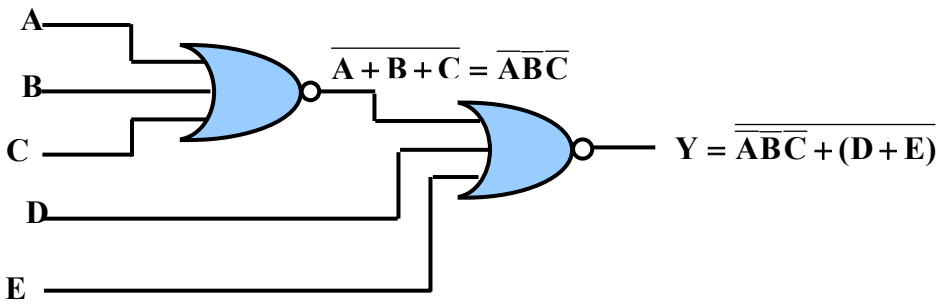

الالشكل (٣- ١٣) الدائرة المكافئة للدائرة في الالشكل (٣- ١٢).

**مثال (٣- ٤):** حقق التعبير المنطقي الآتي باستخدام بوابات NOR فقط:

$$Y = \overline{\overline{A}\overline{B}\overline{C} + (D + E)}$$

**الحـــــل**

**انظر إلى** الالشكل (٣- ١٤).




الشكل (٣- ١٤) الدائرة المنطقية ممثلة باستخدام بوابات NOR فقط.

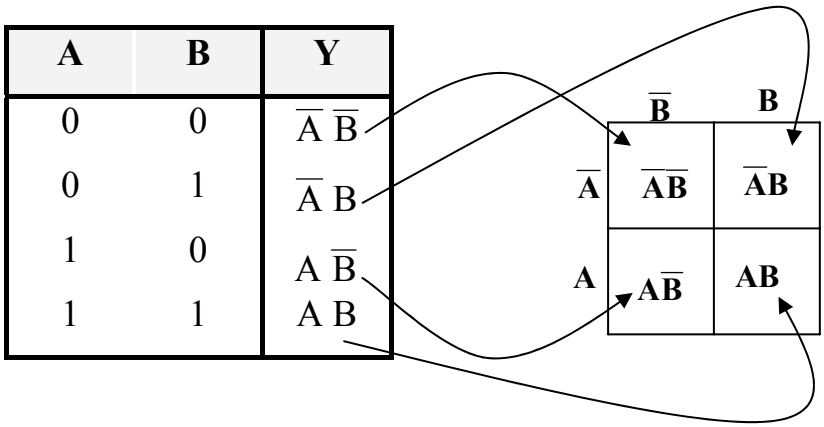
## ٣- ٤ خريطة كارنو Karnaugh Map

خريطة كارنو أو خريطة K- هي طريقة مرئية لتبسيط التعبيرات الجبرية وتماثل جدول الحقيقة لأنها تعطي لنا كل القيم المحتملة للمداخل ونتيجة الخرج لكل قيمة. وبدلاً من تنظيمها على الشكل أعمدة وصفوف مثل جدول الحقيقة، فإن خريطة كارنو عبارة عن مصفوفة (array) من الخلايا (cells) ، وتمثل كل خلية القيمة الثنائية لإحدى تشكيلات المداخل. وترتب الخلايا بطريقة تجعل عملية التبسيط للتعبير المعطى وتجميع الخلايا في غاية السهولة.

خريطة كارنو يمكن استخدامها مع تعبيرات بولينية لها متغيران ، ثلاثة ، أو أربعة، أو خمسة متغيرات، ونكتفي بأربعة متغيرات فقط لتوضيح أساسيات التبسيط، وعدد الخلايا في خريطة كارنو يساوي عدد التشكيلات المحتملة للمداخل.

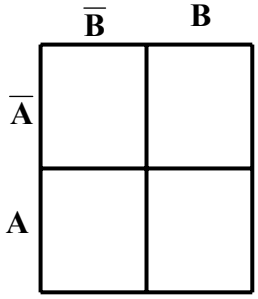
## ٣- ٥ التبسيط باستخدام خريطة كارنو Simplification using Karnaugh-map

عدد الخلايا في خريطة كارنو يعتمد على عدد المتغيرات (المداخل)، وكمثال على ذلك الشكل (٣- ١٥)، فهناك متغيران فقط هما (B وA) والمتمم لهما ($\overline{A}, \overline{B}$) وبناء على ذلك فإن خريطة كارنو تحتوي على أربعة تشكيلات (00,01,10,11).



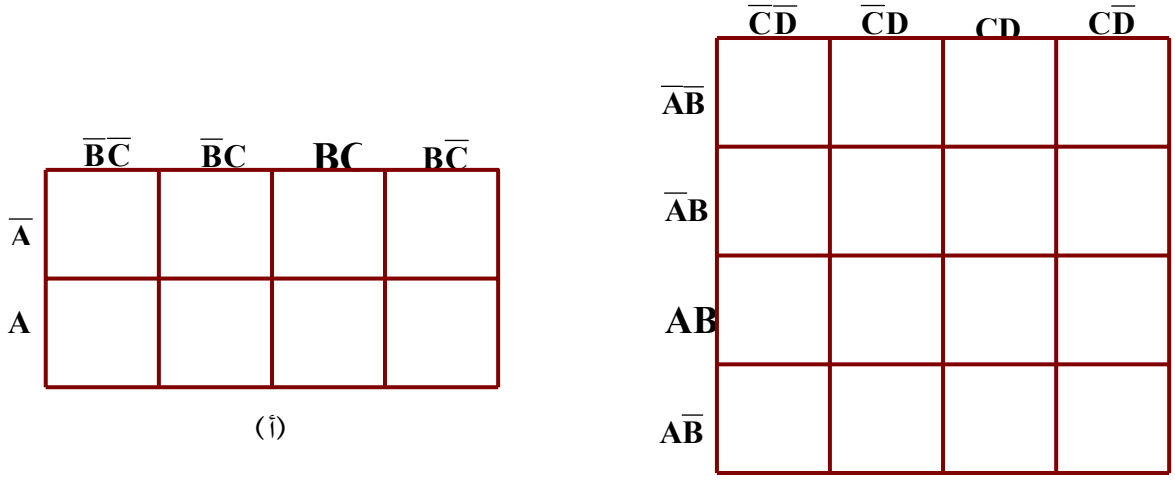

الشكل (٣- ١٥) إعادة ترتيب جدول الحقيقة في خريطة كارنو.

وكل خلية في خريطة كارنو ذات المتغيرين تمثل واحداً من تالشكليلات الأربعة للدخل وعملياً علامات الدخل (Input Labels) توضع خارج الخلايا كما هو موضح في الشكل (٣- ١٦) وتطبق على كل من الصف والعمود للخلايا. فمثلاً، الصف الذي أمامة المتغير $\overline{A}$ يطبق على الخلايا العليا، بينما الذي أمامه A يطبق على الخلايا السفلى. ونرى في أعلى الخريطة المتغير $\overline{B}$ يطبق على الخلايا التي على اليسار، بيمنا المتغير B يطبق الخلايا التي على اليمين. وكمثال، فإن الخلية العليا التي على اليمين تمثل تشكيلة الدخل $\overline{A}B$.




الشكل (٣- ١٦) خريطة كارنو لمتغيرين ($4 = 2^2$ خلايا).

الشكل(٣- ١٧(أ)، ٣- ١٧(ب)) يوضحان هيئة خريطة كارنو لثلاثة متغيرات (ثماني خلايا)، وأربعة متغيرات (ست عشرة خلية).



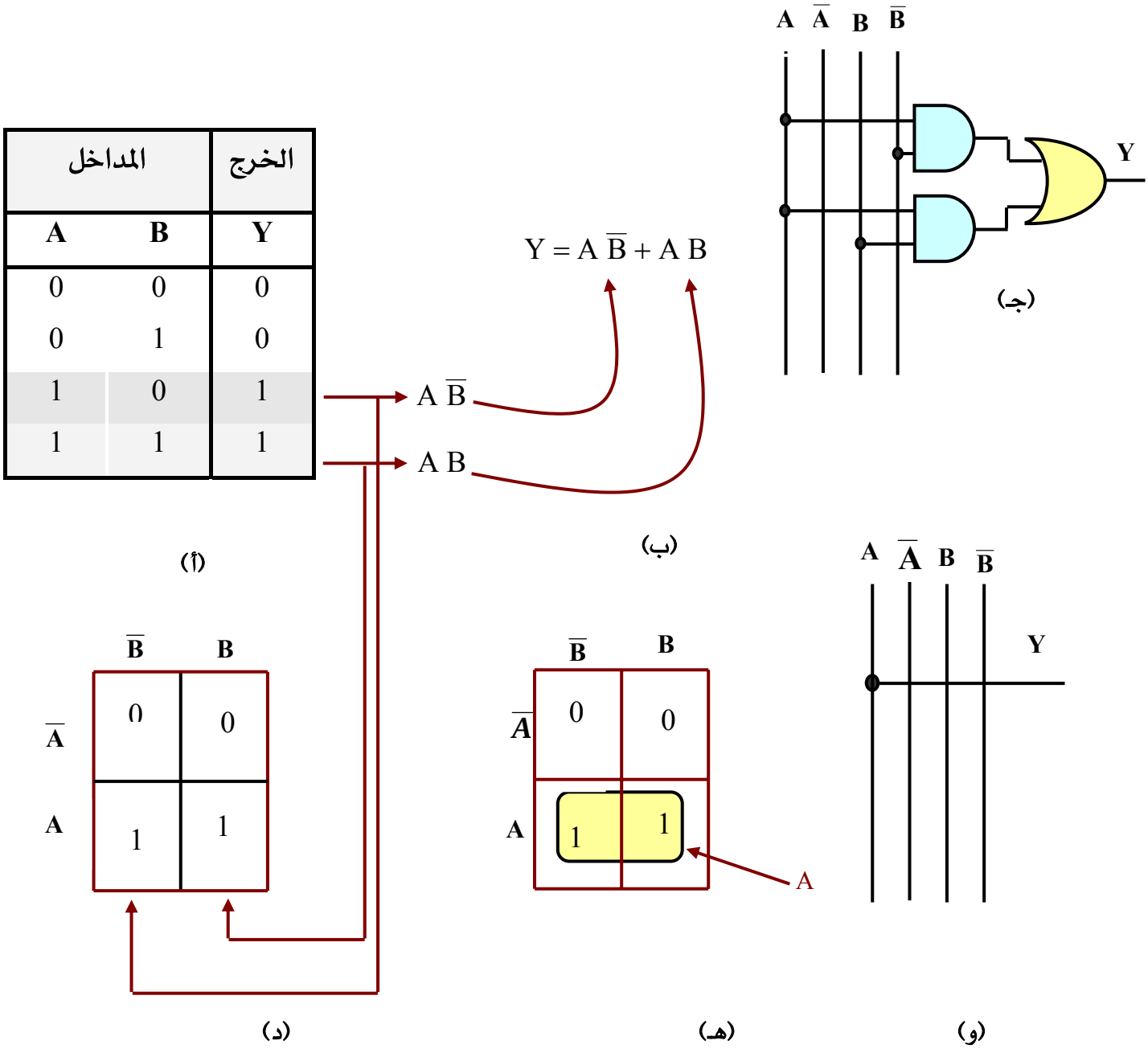

(ب) (أ)

الشكل (٣- ١٧) خريطة كارنو لثلاثة وأربعة متغيرات.

و بعد التعرف على كيفية إنشاء خريطة كارنو، سوف نرى كيف يمكن أن تستخدم لتبسيط الدوائر المنطقية، وكمثال على ذلك نفترض أننا نريد تصميم دائرة منطقية لها جدول الحقيقة الموضح في الشكل( ٣- ١٨(أ)).

**الخطوة الأولى** : الحصول على التعبير البوليني من خلال جدول الحقيقة، وذلك بكتابة التشكيلة التي أمامها (1) في الخرج وبعد ذلك نجمع هذه التشكيلات باستخدام بوابة OR كما في الشكل (٣- ١٨(ب)) والدائرة المنطقية المكافئة لهذه المعادلة موضحة في الشكل( ٣- ١٨(جـ)).

**الخطوة التالية**: تمثيل هذا التعبير البوليني على خريطة كارنو لمتغيرين كما نرى في الشكل( ٣- ١٨(د)).




| المداخل | | الخرج |
|---|---|---|
| A | B | Y |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

الشكل (٣- ١٨) كيفية استخدام خريطة كارنو في تبسيط دائرة منطقية.

عند تمثيل التعبير البوليني على خريطة كارنو يجب أن نتذكر أن كل خلية تمثل تشكيلة من التشكيلات الأربع المحتملة للمدخلات في جدول الحقيقة. الخرج (1) في جدول الحقيقة يجب أن يظهر (1) في الخلية المكافئة له على خريطة كارنو، والخرج (0) في جدول الحقيقة يجب أن يظهر (0) في الخلية المكافئة له على خريطة كارنو. وبناءً على ذلك فإن (1) سوف يظهر في الخلية السفلى على اليسار

(يمثل $A\overline{B}$)، وفي الخلية السفلى على اليمين (يمثل $AB$). والتشكيلات الأخرى للدخل ($\overline{A}B, \overline{A}\,\overline{B}$) وكلاهما يعطي (0) في الخرج، وبناءً عليه يجب وضع (0) في هاتين الخليتين العلويتين.

تبيسط المعادلات البولينية بصفة عامة يمكن الحصول عليه عن طريق تطبيق قاعدة المتممات (Complements)، والتي تقول أن $A + \overline{A} = 1$. والآن وبعد تمثيل المعادلة البولينية على خريطة كارنو كما في الشكل( ٣- ١٨(د))، الخطوة التالية هي تجميع الحدود ثم نحدد العامل المشترك بينها. فإذا نظرنا إلى خريطة كارنو في الشكل( ٣- ١٨(د)) فسوف نرى أن الخلايا المتجاورة (adjacent cells) تختلف في متغير واحد فقط، وهذا يعني أننا لو حركنا أي منها من مكانه إلى الخلية المجاورة له رأسياً أو أفقياً، فلن يحدث تغيير إلا في متغير واحد فقط، وبتجميع الخلايا المتجاورة المحتوية على (1) كما نرى من الالشكل( ٣- ١٨(هـ)) فإنه يمكن تبسيط الخلايا باستخدام قاعدة المتممات وجعلها حداً واحداً، وفي هذا المثال الخلايا $AB, A\overline{B}$ تحتوي على $B$ ، $\overline{B}$ وبالتالي يتم حذف هذه المتممات، وتكون النتيجة، $A$ كما يلي:

$Y = A\overline{B} + AB$ (الأزواج المجمعة )

$$Y = A(\overline{B} + B)$$
$$= A \bullet 1 = A$$

هذا التحليل يمكن استنتاجه بدراسة جدول الحقيقة للدائرة الموضحة في الشكل( ٣- ١٨(أ)) والذي نرى فيه أن الخرج (Y) يتبع تماماً الدخل (A)، وبناءً على ذلك تكون الدائرة المكافئة كما هو موضح في الشكل( ٣- ١٨(و)).

**مثال (٣- ٥):** صمم دائرة منطقية في أبسط صورة لجدول الحقيقة الموضح في الشكل( ٣- ١٩(أ)) مبيناً كل خطوة في عملية التبسيط.

**الحـــل**

**الخطوة الأولى** هي رسم خريطة كارنو لثلاثة متغيرات، كما هو موضح في الشكل( ٣- ١٩(ب)).

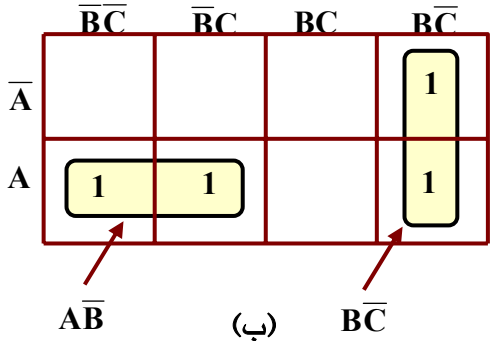
**الخطوة الثانية** أن ننظر إلى الخرج الذي يساوي (1) في جدول الحقيقة في الشكل( ٣- ١٩(أ)) ثم نقوم بوضع هذه الآحاد في الخلايا المكافئة لها على خريطة كارنو كما هو موضح في الشكل( ٣- ١٩(ب)) وبعد وضع (0) في الخلايا الفارغة المتبقية، نجمع الآحاد في الشكل أزواج كما في الشكل(٣- ١٩(ب)) ، ثم نحدد من خلال الصف والعمود المتغيرات المشتركة في هذه المجموعات (الأزواج) لنرى أي متغير سوف

يتم حذفه تبعاً لقاعدة المتممات ففي المجموعة التي على اليمين $A,\overline{A}$ يتم حذفها والنتيجة $\overline{B}C$ ، وفي المجموعة التي على اليسار يتم حذف $C,\overline{C}$ والنتيجة $A\overline{B}$.

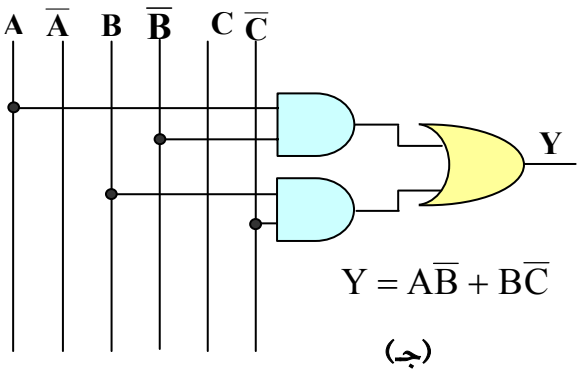
والحدود السابقة المبسطة سوف تالشكل لنا المعادلة البولينية المكافئة بعد التبيسط والدائرة المنطقية، كما نرى في الشكل( ٣- ١٩(جـ))، وفي هذا المثال نرى أن المعادلة الأصلية تتكون من أربعة حدود كل حد منها يمثل بوابة AND بثلاثة مداخل مجمعة على بوابة OR بأربعة مداخل أي أن عدد المداخل الكلية يساوي ١٦ مدخلاً، وبعد التبسيط أصبحت الدائرة تتكون من حدين كل منهما ممثل ببوابة AND بمدخلين مجمعين على بوابة OR بمدخلين أيضاً، وبالتالي يصبح عدد المداخل الكلية للدائرة بعد التبسيط يساوي ٦ مدخلات كما نرى في الالشكل( ٣- ١٩(جـ)).

| المداخل | | | الخرج |
|---|---|---|---|
| A | B | C | Y |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

(أ)



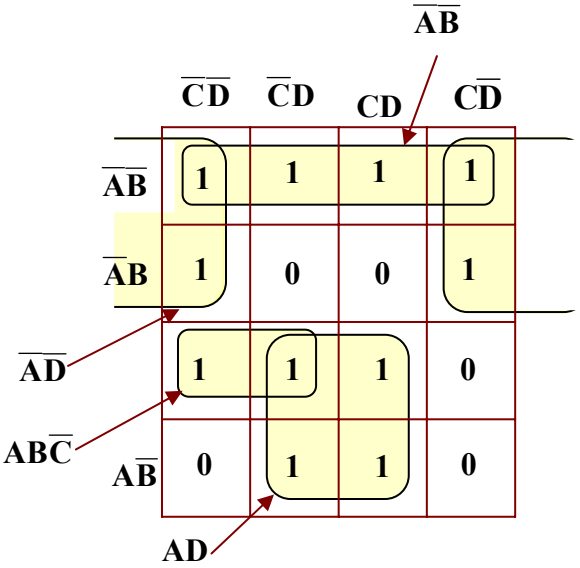

(ب)




(جـ)

الشكل (٣- ١٩) تصميم دائرة منطقية باستخدام خريطة كارنو.

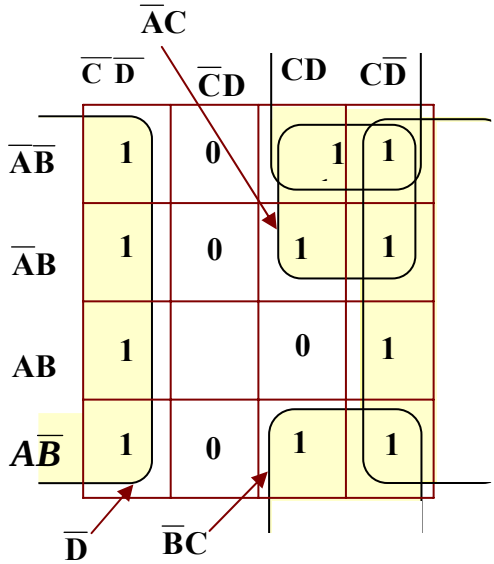
الآحاد (1's) في خريطة كارنو يمكن أن تجمع كأزواج (مجموعات من اثنين) أو مجموعات من أربعة، أو ثمانية، أو ستة عشر وهكذا لكل القوي 2. الشكل (٣- ٢٠) يوضح بعض الأمثلة للتجميع، وكيف أن خريطة كارنو تستخدم لتبسيط التعبيرات البولينية الكبيرة. لاحظ أن المجموعات الكبيرة أي التي تحتوي على عدد كبير من الآحاد (1's) تعطي لنا حداً صغيراً وعليه تكون البوابات المستخدمة في التصميم لها مدخلات قليلة. ولهذا السبب يجب أن نبدأ بالبحث عن المجموعات التي تحتوي على أكبر عدد من الأحاد، فإن لم نجد نبحث عن الأقل وهكذا .




$$Y = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}CD + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + A\overline{B}\overline{C}\overline{D} + ABCD + A\overline{B}\overline{C}D + A\overline{B}CD$$ (قبل التبسيط)

$$Y = A\overline{B}\overline{C} + AD + \overline{A}B\overline{D} + \overline{A}\overline{B}$$ (بعد التبسيط)

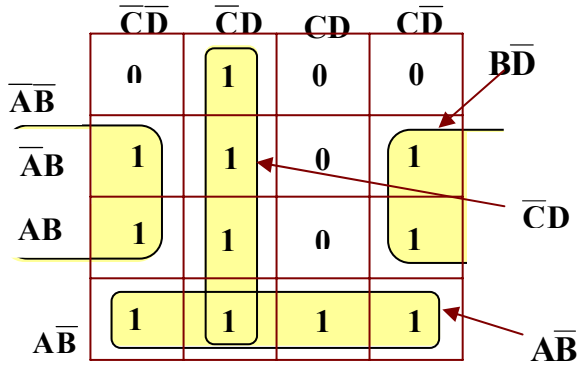
(أ)




$$Y = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}CD + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}BCD + \overline{A}BC\overline{D} + AB\overline{C}\overline{D} + ABC\overline{D} + A\overline{B}\overline{C}\overline{D} + A\overline{B}CD + A\overline{B}C\overline{D}$$ (قبل التبسيط)

$$Y = \overline{A}C + \overline{B}C + \overline{D}$$ (بعد التبسيط)

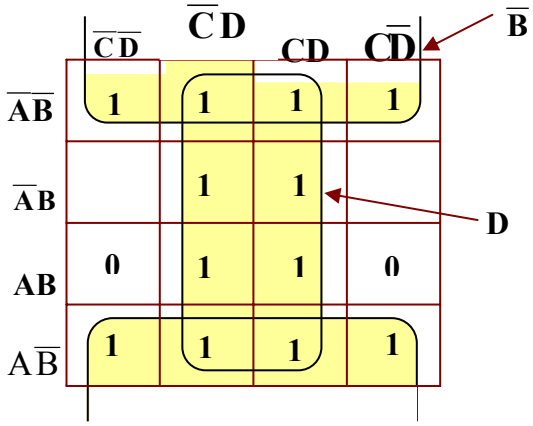
(ب)




$$Y = \overline{A}\overline{B}\overline{C}D + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + \overline{A}BCD + AB\overline{C}\overline{D} + AB\overline{C}D + ABC\overline{D} + A\overline{B}\overline{C}\overline{D}$$
$$+ AB\overline{C}D + AB\overline{C}\overline{D} + A\overline{B}CD + A\overline{B}C\overline{D}$$ (قبل التبسيط)

$$Y = \overline{C}D + A\overline{B} + B\overline{D}$$ (بعد التبسيط)

(د)




$Y = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}CD + \overline{A}B\overline{C}D + \overline{A}BCD + \overline{A}BC\overline{D} + A\overline{B}CD + ABCD$
$+ A\overline{B}\overline{C}\overline{D} + A\overline{B}\overline{C}D + AB\overline{C}D + A\overline{B}C\overline{D}$ (قبل التبسيط)

$Y = \overline{B} + D$ (بعد التبسيط)

(حـ)

الشكل (٣- ٢٠) أمثلة مختلفة عن التجميع في خرائط كارنو.

**مثال ٣- ٦:** اكتب التعبير الجبري الذي يمثله جدول الحقيقة المبين في الشكل(٣- ٢١(أ)) ثم قم بتبسيطه باستخدام خريطة كارنو.

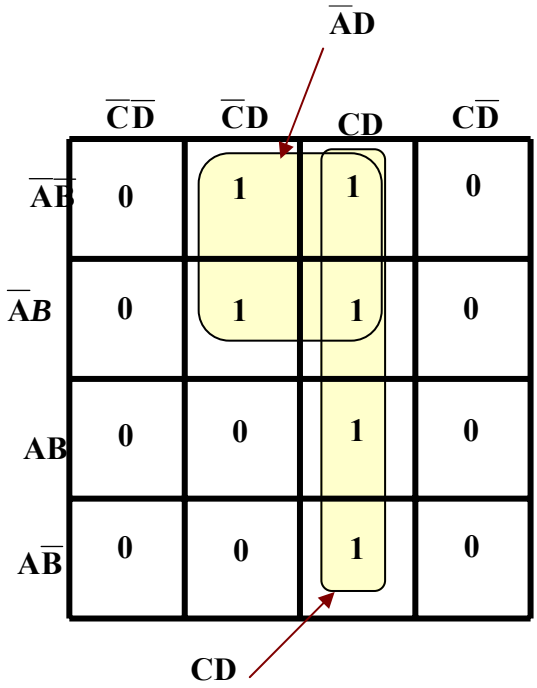
| المداخل | | | | الخرج |
|---|---|---|---|---|
| A | B | C | D | Y |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

الشكل( ٣- ٢١(أ)) جدول الحقيقة المطلوب تبسيط الدالة له.

**الخطوة الأولى** للحصول على التعبير الجبري يمكن كتابة الحدود التي تعطي الخرج (Y) في جدول الحقيقة والمساوي للقيمة (1)، كما في الشكل( ٣- ٢١(أ)).
وبتجميع هذه الحدود يمكننا استنتاج التعبير الجبري وهو كما يلي:

$$Y = \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}CD + \overline{A}B\overline{C}D + \overline{A}BCD + A\overline{B}CD + ABCD$$

**الخطوة التالية** هي رسم خريطة كارنو لأربعة متغيرات كما نرى في الشكل( ٣- ٢١(ب))، ونقوم بوضع الآحاد التي في عمود الخرج (Y) من جدول الحقيقة في الخلايا المكافئة لها على خريطة كارنو.




الشكل( ٣- ٢١(ب)) خريطة كارنو للدالة في مثال ( ٣- ٦).

وبالنظر إلى خريطة كارنو في الشكل( ٣- ٢١(ب)) نجد أنه يمكن تجميع الآحاد في مجموعتين كل مجموعة تحتوي على أربعة من الآحاد (1's)، وبالتالي فإن الالشكل المربع العلوي والذي يحتوي على أربعة آحاد المتغير B المتغير $\overline{B}$ يمكن حذفهما وبالمثل المتغير C و المتغير $\overline{C}$ وتكون النتيجة هي $\overline{A}D$ . وكذلك

بالنسبة للالشكل المستطيل على الخريطة والذي يحتوي على أربعة آحاد فإنه يمكن حذف كل من المتغيرات B ، $\overline{B}$ ، A ، $\overline{A}$ والنتيجة هي CD. والتعبير الجبري المبسط على ذلك يكون :

$$Y = \overline{A}D + CD$$

## ٣- ٦ دوائر الجامع و الطارح الثنائية Binary Adder and Subtractor Circuits

يتناول هذا الجزء بالدراسة كيفية إجراء عمليات الجمع والطرح الثنائي فقط بواسطة البوابات المنطقية كأحد العمليات الرئيسة في الأنظمة الرقمية أو ما يطلق عليه الدوائر الحسابية للجمع والطرح الثنائي.

### ٣- ٦- ١ دائرة الجامع النصفي The Half-Adder Circuit

سبق وأن درسنا القواعد الأربعة للجمع الثنائي ، والجدول (٣- ٣) مراجعة لهذه القواعد حيث المداخل هي A,B والخرج يمثل حاصل الجمع [Sum(**S**)] والباقي المرحل أو الحامل [Carry (**C**)].

| المداخل | | الخرج | |
|---|---|---|---|
| **A** | **B** | **C** | **S** |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 |

الجدول (٣- ٣) القواعد الأربع للجمع الثنائي.

بدراسة عمود الجمع ( S) في جدول الحقيقة نجد أنه يماثل تماماً خرج البوابة (XOR)، والآن إذا نظرنا إلى عمود الحامل (c) نجد أنه يماثل تماماً خرج البوابة AND والشكل( ٣- ٢٢(أ)) يوضح كيفية توصيل البوابتين لجمع الدخلين A, B والحصول على الخرجين C,S وتسمى الدائرة باسم الجامع النصفي.

(أ) الشكل (٣-٢٢) (ب)

والمخطط الصندوقي لدائرة الجامع النصفي الموضحة في الشكل( ٣- ٢٢(ب)) حيث يرمز الحرفان HA إلى كلمتي (Half Adder) أي الجامع النصفي، والدالة المنطقية المبسطة للخرجين S,C يمكن الحصول عليهما مباشرة من جدول الحقيقة، وبالرجوع إلى الجدول نجد أن:

$$S = \overline{A}B + A\overline{B}$$
$$C = AB$$

### ٣- ٦- ٢ دائرة الجامع الكامل The Full-Adder Circuit

عند دراسة جمع الأعداد الثنائية وجد أنه عند جمع خانتين (2-bits) غالباً ما يتبقى مقدار يسمى الباقي أو المرحل أو الحامل (carry) والذي يجب أن يرحل ليجمع مع الخانة التالية، وعلى هذا فإنه في أحد الأعمدة يكون الجمع لثلاثة أرقام أو خانات (bits) وليس لرقمين فقط وبالتالي فإن الجامع النصفي لن يستطيع العمل في هذه الحالة، ونكون في حاجة إلى دائرة جديدة تستطيع جمع ثلاثة أرقام في نفس الوقت، وهذه الدائرة تسمى بدائرة الجامع الكامل.

ودائرة الجامع الكامل هي دائرة توافقية تستطيع جمع ثلاثة أرقام (bits) في نفس الوقت، وهي تتكون من ثلاثة مداخل وخرجين، اثنان من المداخل هما A,B يمثلان الرقمين المراد جمعهما والدخل الثالث $C_{in}$ (Input carry) يمثل الرقم الباقي أو المرحل من جمع الرقمين السابقين، وهناك خرجان هما الحامل (Carry) والمجموع (Sum) وجدول الحقيقة لدائرة الجامع الكامل توضح كما بالجدول (٣- ٤).

| المداخل | | | الخرج | |
|---|---|---|---|---|
| A | B | $C_{in}$ | S | C |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

0 + 0 + 0 = 0 مع عدم وجود حامل
1 = 1 + 0 + 0 مع عدم وجود حامل
1 = 0 + 1 + 0 مع عدم وجود حامل
1 $10_2$ or $2_{10}$ = 0 + 1 + 1 وحامل 0 والتي تمثل
1 = 1 + 0 + 0 مع عدم وجود حامل
1 $10_2$ or $2_{10}$ = 1 + 0 + 1 وحامل 0 والتي تمثل
1 $10_2$ or $2_{10}$ = 1 + 1 + 0 وحامل 0 والتي تمثل
1 $11_2$ or $3_{10}$ = 1 + 1 + 1 وحامل 1 والتي تمثل

الجدول (٣- ٤) قواعد الجمع في حالة الجامع الكلي.

الأعمدة الثلاثة الأولى في الجدول تمثل الدخل والمكون من $A, B, C_{in}$ وبذلك يكون عدد احتمالات الدخل يساوي ($2^3 = 8$) ثمانية احتمالات. أما بالنسبة لأعمدة الخرج والمكونة من $C, S$ فإنه يتم الحصول عليها من حاصل الجمع الرياضي للمدخلات الثلاثة وكما هو مبين في الجدول السابق. نلاحظ أنه يمكن كتابة التعبير المنطقي الذي يمثل الخرج $S, C$ من جدول الحقيقة كما يلي:

$$S = \overline{A}\overline{B}C_{in} + \overline{A}B\overline{C}_{in} + A\overline{B}\overline{C}_{in} + ABC_{in}$$
$$C = \overline{A}BC_{in} + A\overline{B}C_{in} + AB\overline{C}_{in} + ABC_{in}$$

وللوصول إلى الالشكل النهائي والمبسط لدائرة الجامع الكامل، يجب البدء بكتابة المعادلتين السابقتين للوصول إلى التصميم الأمثل ولنبدأ بمعادلة الخرج S:

$$S = \overline{A}\overline{B}C_{in} + \overline{A}B\overline{C}_{in} + A\overline{B}\overline{C}_{in} + ABC_{in}$$
$$= (\overline{A}B + A\overline{B})\overline{C}_{in} + (\overline{A}\overline{B} + AB)C_{in}$$

المقدار $\overline{A}B + A\overline{B}$ يمثل معادلة XOR بدخلين، والمقدار $\overline{A}\overline{B} + AB$ يمثل معادلة XNOR بدخلين ويمكن وضع المعادلة السابقة على الصورة التالية:

$$S = (A \oplus B)\overline{C}_{in} + (\overline{A \oplus B})C_{in}$$

وبالنظر إلى هذه المعادلة نجد أنها تمثل XOR بدخلين أحدهما $(A \oplus B)$ والآخر $C_{in}$ وبالتالي فإن الصورة النهائية لمعادلة S تصبح:

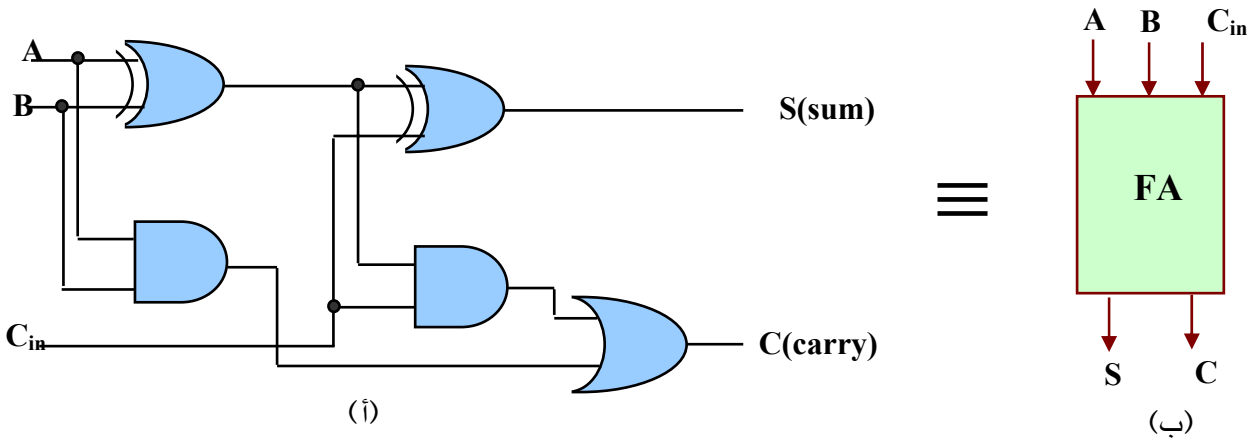
$$S = (A \oplus B) \oplus C_{in} = A \oplus B \oplus C_{in}$$

أي أن معادلة S يمكن تمثيلها باستخدام بوابتي XOR ، الأولى دخلها $A, B$ والثانية دخلها هو خرج الأولى مع $C_{in}$.

والآن لنبدأ في تحليل معادلة C للوصول إلى التمثيل الأمثل لها:

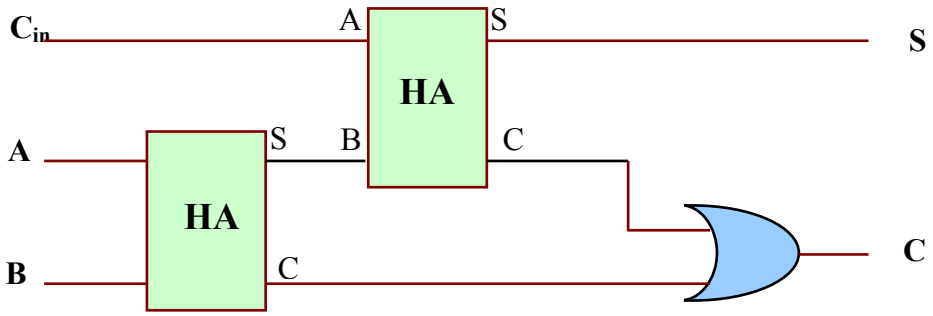
$$\begin{aligned} C &= \overline{A}BC_{in} + A\overline{B}C_{in} + AB\overline{C}_{in} + ABC_{in} \\ &= (\overline{A}B + A\overline{B})C_{in} + AB(\overline{C}_{in} + C_{in}) \\ &= (A \oplus B)C_{in} + AB \Leftarrow (\overline{C}_{in} + C_{in} = 1) \end{aligned}$$

وتمثيل معادلة S ومعادلة C بالبوابات موضح في الشكل( ٣- ٢٣(أ))، والمخطط الصندوقي لدائرة الجامع الكامل موضح في الشكل( ٣- ٢٣(ب)) حيث يرمز الحرفان FA إلى اختصار كلمتي ( **F**ull **A**dder) أي الجامع الكامل.




الشكل (٣- ٢٣) الدائرة المنطقية للجامع الكامل.

ومن الدائرة في الشكل(٣- ٢٣(أ)) يتضح لنا أن الجامع الكامل يتكون من دائرتين للجامع النصفي مع بوابة OR والمخطط الصندوقي للجامع الكامل باستخدام عدد 2 جامع نصفي وبوابة OR موضح في الالشكل (٣- ٢٤).




الشكل (٣- ٢٤) المخطط الصندوقي للجامع

### ٣- ٦- ٣ دائرة الطارح النصفي Half Subtractor Circuit

طرح عددين ثنائيين يمكن أن يتم عن طريق أخذ المتمم للمطروح ثم نجمع الناتج على المطروح منه، وبهذه الطريقة عملية الطرح أصبحت عملية جمع وتتطلب جامعاً كاملاً أو عدداً منه لتمثيل الدائرة. ومن الممكن تمثيل الطرح باستخدام الدوائر المنطقية بطريقة مباشرة، وبهذه الطريقة، كل خانة (bit) من المطروح تطرح من الخانة المقابلة لها من المطروح منه للحصول على خانةحاصل الطرح أو الفرق (difference)، وإذا كانت خانة المطروح منه أصغر من خانة المطروح، فهناك واحد (1) سوف يستعار (Borrowed) من الخانة التي تليه، وكما أن هناك جامعاً نصفياً وجامعاً كاملاً ، فيوجد لدينا أيضاً طارح نصفي وطارح كامل.

والطارح النصفي هو دائرة توافقية تطرح خانتين (2-bits) وتعطي لنا خرجاً يمثل الفرق بينهما ولها أيضاً خرج آخر يساوي (1) في حالة الاستعارة أو الاستلاف، ويرمز للمطروح منه بالرمز A والمطروح بالرمز B، ولتنفيذ (A – B) يجب أن نختبر مقدار كل من B, A، لو كان $A \geq B$ ، نحصل على ثلاثة احتمالات وهي : 0 = 1 – 1, 1 = 0 – 1, 0 = 0 – 0 وتسمى النتيجة خانة الفرق (Difference bit)، وإذا كان A<B يكون لدينا 1 – 0، ومن الضروري استعارة واحد (1) من المرحلة التالية، والواحد المستعار يضيف 2 على المطروح منه، كما في النظام العشري، حيث الاستعارة تضيف عشرة (10) على خانة المطروح منه، وبما أنه أصبح المطروح منه يساوي (2) ، فإن الفرق يصبح 1 = 1 – 2.

والطارح النصفي يحتاج إلى خرجين، أحدهما يمثل الفرق ويرمز له بالرمز (D) والخرج الثاني يمثل الاستعارة أو الاستلاف ويرمز له بالرمز ($B_0$).

جدول الحقيقة والذي يوضح العلاقة بين المداخل والخرج للطارح النصفي موضح في جدول (٣- ٥).

والتعبير البوليني للخرج (D)، الخرج ($B_0$) للطارح النصفي يمكن استنتاجه مباشرة من جدول الحقيقة:

$$D = \overline{A}B + A\overline{B}$$
$$B_0 = \overline{A}B$$

| المداخل | | الخرج | |
|---|---|---|---|
| A | B | D | $B_0$ |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |

الجدول (٣- ٥) القواعد الأربع للطرح الثنائي.

لاحظ من معادلة الخرج (D) أنه يماثل تماماً الخرج (S) في الجامع النصفي وبذلك يمكن تمثيله عن طريق بوابة XOR ، بينما الخرج ($B_0$) يختلف عن الخرج (C) في الجامع النصفي بأن المتغير A معكوس ويمكن تمثيل الخرج ($B_0$) أيضاً عن طريق بوابة AND لها الدخلان $\overline{A}$ ، B.

الشكل( ٣- ٢٥(أ)) يوضح كيفية تمثيل الطارح النصفي، بينما الشكل( ٣- ٢٥(ب)) يمثل المخطط الصندوقي له ، حيث يرمز الحرفان HS إلى اختصار كلمتي (**H**alf **S**ubtractor).

### ٣- ٦- ٤ دائرة الطارح الكامل The Full-Subtractor Circuit

الطارح الكامل هو دائرة توافقية تؤدي عملية الطرح بين رقمين (2-bits) مأخوذاً في الاعتبار أن (1) ربما يستعار من الرقم الذي يليه. هذه الدائرة لها ثلاثة مدخلات ومخرجان. المداخل الثلاثة هي $A, B, B_{in}$ وترمز إلى المطروح منه (A) والمطروح (B) والاستلاف السابق ($B_{in}$) على الترتيب. الخرجيان $D, B_0$ يرمزان إلى الفرق والمستعار وجدول الحقيقة لهذه الدائرة موضح في الجدول (٣- ٦).

| المداخل | | | الخرج | |
|---|---|---|---|---|
| **A** | **B** | **$B_{in}$** | **D** | **$B_0$** |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

الجدول (٣- ٦) قواعد الطرح في حالة الطارح الكامل.

حيث إن الصفوف الثمانية تحت المداخل تمثل التشكيلات المحتملة من 0's,1's التي يمكن أن يأخذها المتغير الثنائي. أما 0's,1's للمتغيرات في الخرج فإنه يمكن تحديدها من العلاقة $A-B-B_{in}$. التشكيلات التي لها $B_{in}=0$ كأنها تمثل الاحتمالات الأربعة احتمالات في جدول الحقيقة للجامع النصفي. عندما يكون $A=0, B=0, B_{in}=1$ يجب أن نستعير (1) من المرحلة المقبلة والذي يجعل $B_0=1$ ونضيف (2) على A، وبالتالي نقول 1 = 1 – 0 – 2، ويكون $D=1$.

وعندما يكون $A=0, B=1, B_{in}=1$ يجب أن نستعير (1) من المرحلة المقبلة والذي يجعل $B_0=1$ ، A = 2، وبالتالي نقول 0 = 1 – 1 – 2، ويكون $D=0$.

وعندما يكون $A=1, B=0, B_{in}=1$ ، فإن $A-B-B_{in}=0$ وهذا يجعل $B_0=0$ ، $D=0$. وأخيراً عندما يكون $A=1, B=1, B_{in}=1$ يجب أن نستعير (1) من المرحلة المقبلة والذي يجعل $B_0=1$ ، A=3، ويكون 1 = 1 – 1 – 3، ويكون $D=1$.

ويمكن كتابة الدالة المنطقية للطارح الكامل من جدول الحقيقة كما يلي:

$$D=\overline{A}\overline{B}B_{in}+\overline{A}B\overline{B}_{in}+A\overline{B}\overline{B}_{in}+ABB_{in}$$

وهي تماثل تماما معادلة (S) في الجامع الكامل، وبالتالي يمكن وضعها في الصورة النهائية لها على الالشكل:

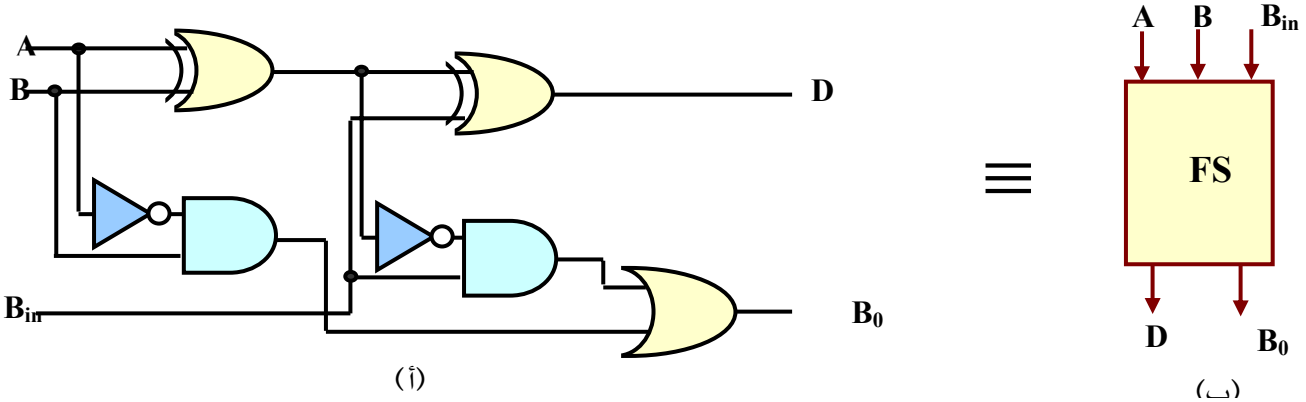
$$D=(A\oplus B)\oplus B_{in}=A\oplus B\oplus B_{in}$$

وبالنسبة للخرج الثاني ($B_0$)، فتكون الشكل الدالة له كالآتي:

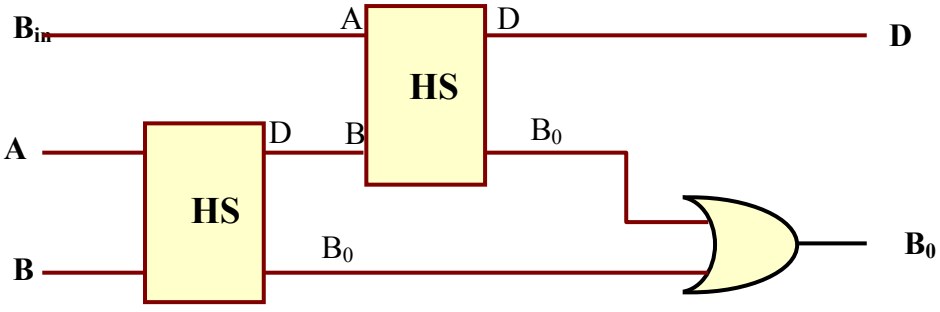
$$B_0 = \overline{A}\overline{B}B_{in} + \overline{A}B\overline{B}_{in} + \overline{A}BB_{in} + ABB_{in}$$
$$= B_{in}(\overline{A}\overline{B} + AB) + \overline{A}B(\overline{B}_{in} + B_{in})$$
$$B_0 = B_{in}(\overline{A \oplus B}) + \overline{A}B \quad \Leftarrow \quad (\overline{B}_{in} + B_{in} = 1)$$

وتمثيل معادلتي الخرج (D) ,($B_0$) موضح في الشكل( ٣- ٢٦(أ))، والمخطط الصندوقي لدائرة الطارح الكامل موضح بالشكل( ٣- ٢٦(ب))، حيث يرمز الحرفان FS إلى اختصار كلمتي (**F**ull **S**ubtractor) أي الطارح الكامل.

وبالرجوع إلى الدائرة في الشكل( ٣- ٢٦(أ)) يتضح لنا أن الطارح الكامل يتكون من دائرتين للطارح النصفي مع بوابة OR، والمخطط الصندوقي للطارح الكامل باستخدام عدد 2 طارح نصفي وبوابة OR موضح في الالشكل (٣- ٢٧).




الشكل (٣- ٢٦) الدائرة المنطقية للطارح الكامل.




الشكل (٣- ٢٧) المخطط الصندوقي للطارح الكامل.

# تدريبات على الوحدة الثالثة

(٣- ١) طبق نظريات ديمورجان على كل من التعبيرات الآتية:

a) $\overline{A\overline{B}(C+\overline{D})}$

b) $\overline{AB(CD+EF)}$

c) $\overline{(A+\overline{B}+C+\overline{D})}+\overline{ABC\overline{D}}$

d) $\overline{\overline{(\overline{A}+B+C+D)}\;\overline{(A\overline{B}\overline{C}D)}}$

(٣- ٢) حقق كلاً من التعبيرات المنطقية الآتية مستخدماً بوابات NAND فقط:

a) $ABCD+\overline{D}E$

b) $A\overline{B}C+AB+\overline{D}$

c) $A\overline{B}\overline{C}+D+E$

d) $A\overline{B}C+\overline{A}BC+ABC+AB\overline{C}$

(٣- ٣) حقق كلاً من التعبيرات المنطقية الآتية مستخدماً بوابات NOR فقط:

a) $(A+B+C)\,(A+\overline{B})$

b) $\overline{\overline{A}B\overline{C}+(D+\overline{E})}$

c) $(\overline{A}B+C)\,(D\overline{E}+\overline{F})$

d) $\overline{\overline{(A+\overline{B})}+(\overline{\overline{C}+D})}$

(٣- ٤) باستخدام خرائط كارنو صمم دائرة منطقية في أبسط صورة لجدول الحقيقة الموضح:

| المداخل | | | الخرج |
|---|---|---|---|
| **A** | **B** | **C** | **Y** |
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

(٣- ٥) باستخدام خرائط كارنو بسط كلاً من التعبيرات البولينية الآتية:

a) $F_1 = A\overline{B}\overline{C}D + A\overline{B}C\overline{D} + ABC\overline{D} + \overline{A}B\overline{C}D + AB\overline{C}D + \overline{A}BC\overline{D}$

b) $F_2 = ABC\overline{D} + \overline{A}B\overline{C}D + A\overline{B}\overline{C}D + AB\overline{C}D + \overline{A}BC\overline{D} + ABC\overline{D} + A\overline{B}C\overline{D}$

c) $F_3 = \overline{A}B\overline{C}D + \overline{A}B\overline{C}\overline{D} + AB\overline{C}\overline{D} + AB\overline{C}D + A\overline{B}\overline{C}D$

d) $F_4 = \overline{A}\overline{B}\overline{C}\overline{D} + +\overline{A}\overline{B}\overline{C}D + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BCD + \overline{A}BC\overline{D} + A\overline{B}\overline{C}D + A\overline{B}CD$

(٣- ٦) في دائرة الجامع الكلي والموضحة في الشكل(٣- ٢٣)، حدد الحالة المنطقية (0 or 1) عند كل خرج بوابة للمدخلات الآتية:

a) $A = 1, B = 1, C_{in} = 1$ b) $A = 0, B = 1, C_{in} = 1$
c) $A = 0, B = 1, C_{in} = 0$ d) $A = 1, B = 1, C_{in} = 0$

(٣- ٧) ما القيم المنطقية للمدخلات لدائرة الجامع الكلي والتي تعطي في الخرج القيم المنطقية الآتية:

a) $S = 0, C_{out} = 0$ b) $S = 1, C_{out} = 0$
c) $S = 1, C_{out} = 1$ d) $S = 0, C_{out} = 1$

(٣- ٨) في دائرة الطارح الكلي والموضحة في الشكل(٣- ٢٦)، حدد الحالة المنطقية (0 or 1) عند كل خرج بوابة للمدخلات الآتية:

a) $A = 1, B = 1, B_{in} = 1$ b) $A = 1, B = 0, B_{in} = 1$
c) $A = 1, B = 1, B_{in} = 0$ d) $A = 0, B = 1, B_{in} = 1$

# الدوائر المنطقية والمعالجات الدقيقة

## الدوائر المنطقية المتعاقبة

# الوحدة الرابعة : الدوائر المنطقية المتعاقبة

**الجدارة :** التعرف على الدوائر المنطقية المتعاقبة

**الأهداف :** يتعرف المتدرب بإذن الله على الموضوعات التالية:

١. الأنواع المختلفة للقلابات.
٢. دوائر مسجلات.
٣. دوائر العدادات.
٤. وحدات التعدد( منتخبات البيانات) ووحدات فك التعدد.

**مستوى الأداء المطلوب :** أن يصل المتدرب إلى إتقان الجدارة ٩٠٪.

**الوقت المتوقع للتدرب على الجدارة:** ٨ ساعات

**الوسائل المساعدة:**

- السبورة
- استخدام برنامج Power point لعرض المحاضرات باستخدام جهاز عرض البيانات.

**متطلبات الجدارة:** أن يكون المتدرب ملماً بالدوائر المنطقية التوافقية.

## مقدمـــــــــة Introduction

تصنف الدوائر المنطقية إلى نوعين رئيسين، النوع الأول ويسمى بالدوائر المنطقية التوافقية (Combinational Logic Circuits) وفيها يعتمد خرج الدائرة في أية لحظة زمنية على المداخل الموجودة في تلك اللحظة، أما النوع الآخر فيسمى بالدوائر المنطقية التعاقبية (Sequential Logic Circuits) ويتميز هذا النوع من الدوائر بوجود ذاكرة (Memory) حيث يعتمد خرج الدائرة في لحظة ما على الدخل المطبق والخرج السابق للدائرة.

في الدوائر المنطقية التوافقية تكون وحدة البناء الأساسية هي البوابات المنطقية، بينما في الدوائر المنطقية التعاقبية تكون وحدة البناء هي دائرة القلاب (Flip-Flop Circuit)، والقلاب عبارة عن دائرة رقمية منطقية عملها الأساسي هو تخزين المعلومات بسعة خانة رقمية واحدة إما صفر (0) أو واحد(1). ويوجد القلاب في إحدى حالتين مستقرتين إحداهما تمثل الرقم الثنائي (1)، والثانية تمثل الرقم الثنائي (0). وإذا وضع القلاب في إحدى حالتي الاستقرار فإنه يظل فيها طالما تم تزويده بمصدر القدرة اللازمة أو حتى يتم تغيير هذه الحالة وذلك بتطبيق مستويات منطقية مناسبة في الدخل وكما سيتضح ذلك من خلال دراستنا للأنواع المختلفة للقلابات والتي يطلق عليها أيضاً اسم متعددة الاهتزازات ثنائية الاستقرار (Bi-stable Multi-vibrator)، ويمكن بناء القلابات من بوابات NAND أو بوابات NOR أو شراؤها على الشكل دوائر رقمية متكاملة (Digital Integrated Circuits) . وأخيراً يمكن ربط القلابات لتكوين دوائر منطقية مثل العدادات (Counters)، ومسجلات الإزاحة (Shift Registers) وغيرها.

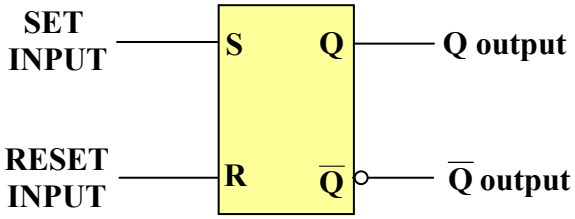
## ٤- ١ القلابات

### ٤- ١- ١ المساكات Latches

دائرة المساك هي نوع من عناصر التخزين ثنائية الاستقرار والتي عادة ما توضع في تصنيف منفصل عن دوائر القلابات. فالمساكات من حيث طبيعة العمل تشبه دوائر القلابات لأنها عنصر ثنائي الاستقرار يمكن وضعه في إحدى حالتي الاستقرار بواسطة نظام التغذية الخلفية والذي فيه يوصل الخرج خلفياً إلى الدخل المعاكس. والفرق الرئيس بين المساكات و القلابات هو في الطريقة المستخدمة لتغيير حالتي الاستقرار فقط.

والمساك (Latch) هو نوع من المذبذب متعدد الذبذبات ثنائي الاستقرار (Bistable Multi-vibrator). يوضح الشكل (٤- ١) الرمز المنطقي لدائرة المساك من النوع S-R ومنه يتضح وجود مدخلين يرمز لأحدهما بالرمز S ويعرف بالمدخل الفعال أو مدخل الوضع في الحالة "1" (Set Input)

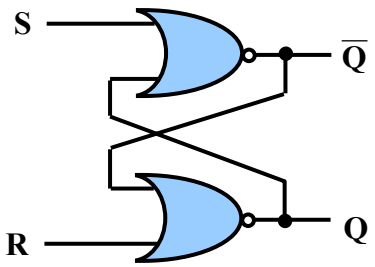
ويرمز للآخر بالرمز **R** ويعرف بالمدخل غير الفعال أو مدخل الوضع في الحالة "0" (Reset Input) كما يوجد لها مخرجان يرمز لأحد هما بالرمز Q ويعرف بالمخرج الطبيعي ويرمز للآخر بالرمز $\overline{Q}$ ويعرف بالمخرج المتمم.




**الشكل (٤- ١) الرمز المنطقي لدائرة المساك من النوع S-R**

ويقال إن دائرة المساك في حالة فعالة أو نشطة (Set Condition) عندما يكون $\overline{Q} = 0$ ,Q =1 ويقال إنها في حالة غير فعالة أو خاملة (Reset Condition) عندما يكون $\overline{Q} = 1$ ,Q = 0. ومن التعريف الأساس للمساك نجد أنه عندما نؤثر على المدخل S بالمستوى المنطقي (1) يكون المستوى المنطقي للخرج Q = 1 (الحالة الفعالة) بغض النظر عن حالة Q السابقة، وفي نفس الوقت يكون المستوى المنطقي للخرج $\overline{Q} = 0$. وإذا أثرنا على الدخل R بالمستوى المنطقي Q = 0 (الحالة غير الفعالة) بينما يكون المستوى المنطقي للخرج $\overline{Q} = 1$ ، أما إذا أثرنا على كل من S,R في نفس الوقت بالمستوى المنطقي (1) فإن مستوى الخرج المنطقي لا يمكن التنبؤ به (unpredictable)، وتجب محاولة تفادي ذلك حتى نتجنب الخلل في عمل دائرة المساك.

ويمكن بناء دائرة المساك S-R من بوابتي NOR باستخدام خاصية التغذية الخلفية المرتدة من مخرج إحدى البوابتين إلى مدخل البوابة الآخرى كما هو موضح في الشكل (٤- ٢).




**الشكل(٤- ٢) دائرة المساك S-R ذى المداخل الفعالة**

ونظراً لأن المستوى المنطقي الفعال لبوابة NOR هو (1) (أي مستوى الدخل الذي يحدث عنده تغير في حالة الخرج)، لذا فإن جدول الحقيقة لدائرة المساك في هذه الحالة يأخذ الصورة الموضحة في جدول (٤- ١)، وتسمى الدائرة في هذه الحالة بدائرة المساك ذي المداخل الفعالة العالية ( Active High Inputs).

| وضع التشغيل (Mode of Operation) | الخرج Q | المداخل S | المداخل R |
|---|---|---|---|
| وضع الإمساك (عدم التغير) No Change | $Q_0$ | 0 | 0 |
| الوضع غير الفعال Latch RESETS | 0 | 0 | 1 |
| الوضع الفعال Latch SETS | 1 | 1 | 0 |
| وضع الحظر أو وضع غير مسموح به Invalid condition | ? | 1 | 1 |

**الجدول (٤- ١) جدول الحقيقة لدائرة المساك S-R ذي المداخل العالية.**

وبالنظر إلى جدول الحقيقة الموضح يمكننا ملاحظة الآتي:

١- عند وجود المستوى المنطقي (0) على المدخلين S,R في نفس الوقت لا تتغير حالة المساك أي تظل قيمة الخرج (Q) كما هي (السطر الأول في جدول الحقيقة) ويعرف هذا الوضع بوضع الإمساك أو عدم التغيير.

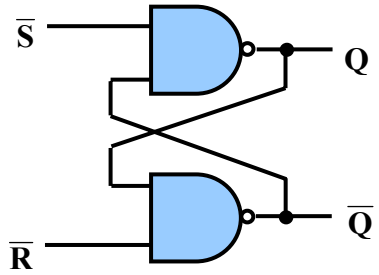
٢- عندما يتغير المستوى المنطقي على الدخل R من (0) إلى (1) يتغير المستوى المنطقي للخرج Q إلى (0) أي أن Q = 0 (الحالة غير الفعالة) كما في السطر الثنائي في الجدول ، أما إذا كان الخرج Q = 0 أصلاً فيظل كما هو بدون تغيير.

٣- عندما يتغير المستوى المنطقي على الدخل S من (0) إلى (1) تتغير قيمة المستوى المنطقي على الخرج Q من (0) إلى (1) أي أن Q = 1 (الحالة الفعالة) كما في السطر الثالث في الجدول، أما إذا كان الخرج Q = 1 أصلاً فيظل كما هو بدون تغير.

٤- غير مسموح بوجود المستوى المنطقي (1) على المدخلين S,R في نفس الوقت نظراً لأنه يمثل الحالة الفعالة للبوابة NOR، ومن ثم تصير المخارج في هذه الحالة غير معرفة كما في السطر الأخير من الجدول.

٥- حالة المخارج تتغير فقط عندما تتغير المداخل وتحتفظ المخارج بحالتها بدون أي تغير إذا ظلت المداخل بدون تغير، أي أن دائرة المساك تمسك على حالة معينة إذا لم تتغير المداخل، ومن ثم قيل إن لها خاصية الاحتفاظ بالبيانات بصفة مؤقتة.

ويمكن بناء دائرة المساك من بوابتي NAND كما في الشكل (٤- ٣) ونظراً لأن المستوى الفعال لبوابة NAND هو (0) لذا فإن جدول الحقيقة في هذه الحالة يأخذ الصورة الموضحة في الجدول (٤- ٢) وتمسى الدائرة في هذه الحالة بدائرة المساك ذي المداخل الفعالة المنخفضة (Active Low Inputs).




**الشكل (٤- ٣) دائرة المساك S-R ذي المداخل الفعالة المنخفضة.**

| وضع التشغيل (Mode of Operation) | الخرج | المداخل | |
|---|---|---|---|
| | Q | $\overline{R}$ | $\overline{S}$ |
| وضع الخطر أو وضع غير مسموح به Invalid condition | ? | 0 | 0 |
| الوضع الفعال Latch SETS | 1 | 1 | 0 |
| الوضع غير الفعال Latch RESETS | 0 | 0 | 1 |
| وضع الإمساك (عدم التغير) No Change | $Q_0$ | 1 | 1 |

**الجدول (٤- ٢) جدول الحقيقة لدائرة المساك S-R ذي المداخل المنخفضة.**

وبالنظر إلى جدول الحقيقة الموضح يمكننا ملاحظة الآتي:

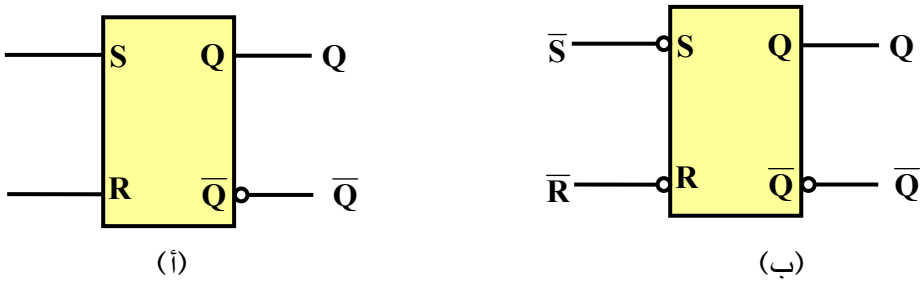
١- وجود المستوى المنطقي (1) على المدخلين في نفس الوقت لا يغير حالة دائرة المساك ويظل المخرج Q كما هو (السطر الأخير).

٢- عندما يكون المستوى المنطقي على المدخل $\bar{S} = 0$ ، المدخل $\bar{R} = 1$ يتغير المستوى المنطقي للخرج إلى (1) كما في السطر الثاني من الجدول ، أما إذا كان الخرج $Q = 1$ أصلاً فيظل كما هو بدون أي تغيير.

٣- عندما يكون المستوى المنطقي على المدخل $\bar{S} = 1$ ، المدخل $\bar{R} = 0$ يتغير المستوى المنطقي للخرج إلى (0)، انظر السطر الثالث من الجدول، أما إذا كان الخرج $Q = 0$ أصلاً فيظل كما هو بدون تغير.

٤- غير مسموح بوجود المستوى (0) على المدخلين في نفس الوقت نظراً لأنه يمثل المستوى الفعال لبوابة NAND ومن ثم فإن حالة المخارج تكون غير معروفة.

الالشكل (٤- ٣) يوضح الرمز المنطقي (Logic Symbol) لدائرة المساك ذي المداخل الفعالة العالية ودائرة المساك ذي المداخل الفعالة المنخفضة.

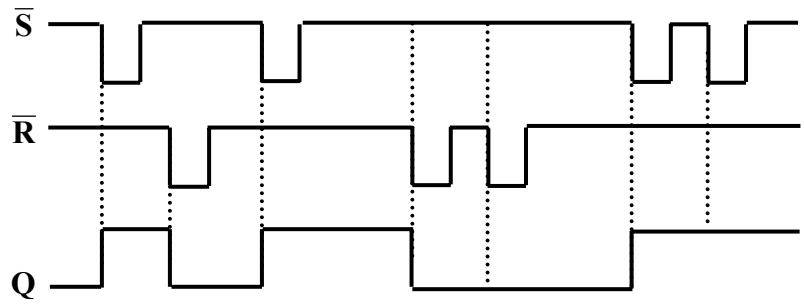



**الشكل (٤- ٣) الرمز المنطقي لدائرة المساك ذي المداخل الفعالة العالية والمنخفضة.**

المثال التالي يوضح كيفية عمل دائرة المساك ذي المداخل الفعالة المنخفضة وذلك عن طريق وضع نبضات على كل من $\bar{S}, \bar{R}$ وملاحظة الشكل الخرج (Q). وسوف نتجنب وضع $\bar{S} = 0, \bar{R} = 0$ ، حيث إن حالة الخرج لا تكون معروفة في هذه الحالة.

**مثال ٤- ١:** إذا كان الشكل نبضات الدخل لكل من $\bar{S}, \bar{R}$ في الشكل (٤- ٥). ارسم الشكل نبضات الخرج (Q) بفرض أن الحالة التي عليها الخرج Q قبل تطبيق أول نبضة لكلا الدخلين هي $Q = 0$.

الحل



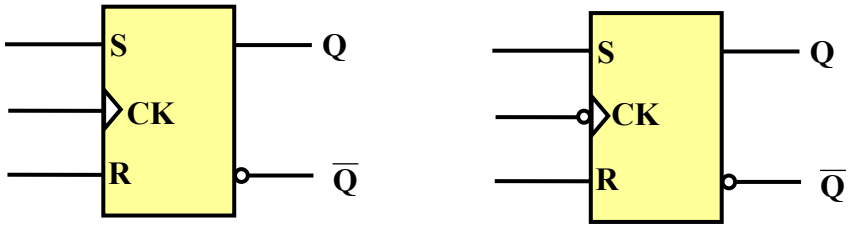

الشكل (٤- ٥) المخطط الزمني لدائرة المساك.

### ٤- ١- ٢ القلاب S-R المتزامن Clocked S-R Flip–Flop

يعرف المساك S-R أو $\overline{S} - \overline{R}$ الأساسي السابق دارسته بالمساك غير المتزامن نظراً لتغير وضع الخرج الطبيعي (Q) مباشرة مع تغيير المداخل فور التأثير بالمستوى المنطقي الفعال كما يحدث في الدوائر المنطقية التوافقية، ولذلك فإن الدوائر المنطقية التوافقية ودوائر المساك تعمل بالشكل لا تزامني.

إن النظم الإلكترونية المنطقية تحتاج إلى دوائر مساك متزامن (قلاب متزامن) للتغلب على المشاكل التي قد تحدث عن تأخير انتقال المعلومات خلال النظام مما يعوق تسلسل المعلومات طبقاً للتوقيت الزمني المطلوب، ولذا فإن القلاب S-R المتزامن يعمل وفقاً لنبضات توافق أو توقيت أي يعمل تزامنياً. ويمكن القول بأن كلمة تزامن تعني أن الخرج سوف يتغير فقط عند نقطة محددة من نبضات التزامن أو ما يطلق عليها نبضات الساعة (Clock Pulse) وسوف تكتب اختصاراً (CK)، وبذلك يمكن القول إن التغير في المخرج يحدث متزامناً مع نبضة الساعة.

الشكل (٤- ٦) يوضح الرمز المنطقي لقلاب S-R المتزامن وفيه نلاحظ وجود مدخل إضافي لنبضة التزامن أو نبضة الساعة (CK).

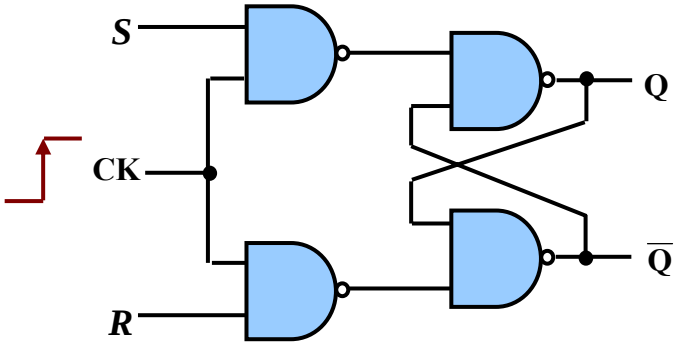



(أ) (ب)

الشكل (٤- ٦) الرمز المنطقي للقلاب S-R المتزامن.

في الالشكل ٤- ٦(أ) نلاحظ عدم وجود حلقة دائرية صغيرة أمام مدخل نبضة الساعة وهذا يعني أن خرج القلاب S-R لن يتغير إلا مع وصول حافة النبضة الموجبة (Positive Edge Trigger) أي الحافة التي تتغير من (0) إلى (1)، بينما في الالشكل ٤- ٦(ب) نلاحظ وجود هذه الحلقة الدائرية الصغيرة وهذا يعني أن خرج القلاب سوف يتغير مع وصول حافة النبضة السالبة (Negative Edge Trigger) أي الحافة التي تتغير من (1) إلى (0).

الشكل (٤- ٧) يبين دائرة القلاب S-R المتزامن باستخدام بوابات NAND، حيث أضيفت بوابتي NAND إلى المساك الأساسي وذلك لإضافة خاصية التزامن له. ويتم نقل البيانات الموجودة على مدخل البيانات S,R إلى المخرج (Q) عندما تكون نبضة التزامن عند الحافة الموجبة حيث تعمل كنبضة سماح لنقل البيانات من الدخل إلى الخرج.




**الشكل (٤- ٧) دائرة القلاب S-R المتزامن.**

جدول الحقيقة (٤- ٣) يبين بالتفصيل طريقة تشغيل القلاب S-R المتزامن على النحوالتالي:

١. عندما تصل نبضة التزامن CK إلى المدخل، بينما المداخل S,R عند المستوى المنطقي (0) فإن الخرج لا يتغير أي يظل كما كان قبل مجئ نبضة التزامن ويعرف هذا الوضع بالإمساك.
٢. عندما يتم التأثير على المدخل R بالمستوى العالي (S = 0,R = 1) وتنتقل نبضة التزامن من (0) إلى (1) فإن الخرج يصبح مساوياً للصفر (0) ويقال أن القلاب في الحالة غير الفعالة (Reset).
٣. عند التأثير على المدخل S بالمستوى المنطقي العالي (S = 1,R = 0) وتنتقل نبضة التزامن من (0) إلى (1) فإن الخرج Q = 1 ويقال إن القلاب في الحالة الفعالة (Set).

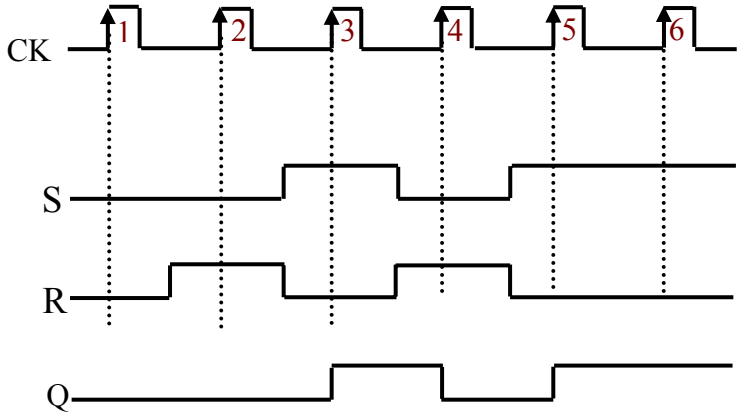
والوضع المحظور عندما يكون S = 1, R = 1 لا يستخدم كما قلنا سابقاً لأن حالة المخرج في هذه الحالة تكون غير معروفة.

| المداخل | | | الخرج | وضع التشغيل |
|---|---|---|---|---|
| S | R | CK | Q | (Mode of Operation) |
| 0 | 0 | X | $Q_0$ | وضع الإمساك (عدم التغير) No Change |
| 0 | 1 | ↑ | 0 | الوضع غير الفعال Latch RESETS |
| 1 | 0 | ↑ | 1 | الوضع الفعال Latch SETS |
| 1 | 1 | ↑ | ? | وضع الخطر أو وضع غير مسموح به Invalid condition |

**الجدول (٤- ٣) جدول الحقيقة لدائرة القلاب S-R المتزامن.**

ونظرية العمل وجدول الحقيقة للقلاب S-R الذي يعمل مع حافة النبضة السالبة [أي التي تتغير من (1) إلى (0)] تماثل تماماً القلاب السابق مع اختلاف واحد فقط أن التغير في الخرج سوف يحدث مع تغير نبضة التزامن من (1) إلى (0).

**مثال ٤- ٢:** ارسم الشكل نبضات الخرج (Q) لدائرة القلاب S-R والموضحة في الشكل (٤- ٦)، إذا كان الشكل نبضات الدخل لكل من S,R,CK موضح في الشكل (٤- ٨). افترض أن دائرة القلاب تعطي خرجاً Q = 0 قبل وصول أول نبضة من نبضات التزامن.




**الشكل (٤- ٨) المخطط الزمني لدائرة القلاب S-R المتزامن.**

**الحل**

١- عند نبضة التزامن الأولى S = 0, R = 0 ، وبالتالي الخرج (Q) لن يتغير أي أن Q = 0.

٢- عند نبضة التزامن الثانية S = 0, R = 1 ، وبالتالي يظل الخرج Q = 0(Reset).

٣- عند نبضة التزامن الثالثة S = 1, R = 0 ، وبالتالي يتحول الخرج Q إلى (1) أي أن Q = 1(Set).

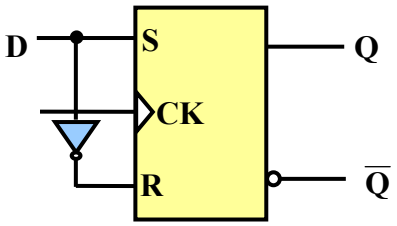
٤- عند نبضة التزامن الرابعة S = 0, R = 1 ، وبالتالي يكون الخرج Q = 0(Reset).

٥- عند نبضة التزامن الخامسة S = 1, R = 0 ، وبالتالي يكون الخرج Q =1(Set).

٦- عند نبضة التزامن السادسة S = 1, R = 0 ، وبالتالي يظل الخرج يساوي (1) أي أن Q = 1.

### ٤- ١- ٣ دائرة القلاب من النوع D D-Type Flip-Flop

الدائرة القلابة من النوع D يمكن استخدامها كوحدة تخزين لخانة واحدة (Single Bit) من المعلومات (0 أو 1). وبإضافة بوابة عاكس إلى دائرة القلاب S-R المتزامن تتحول إلى دائرة قلاب من النوع D كما هو موضح في الشكل (٤- ٩).




**الشكل (٤- ٩) دائرة القلاب من النوع D.**

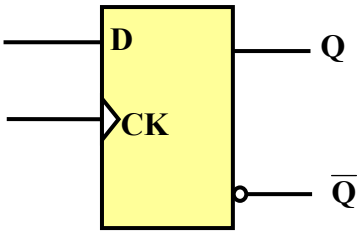
نلاحظ أن دائرة القلاب من النوع D بدخل واحد فقط وهو الدخل D بالإضافة إلى نبضة التزامن CK. فإذا كان D عند المستوى المنطقي (1) عندما تصل نبضة التزامن إلى المدخل CK، فإن خرج دائرة القلاب يكون هو المستوى المنطقي (1) [Set]، لأنه في هذه الحالة يكون الدخل S = 1 والدخل R = 0 وبالرجوع إلى جدول الحقيقة لدائرة القلاب S-R المتزامن (الجدول ٤- ٣) نجد أن الخرج Q = 1. وإذا كان D عند المستوى المنطقي (0) عندما تصل نبضة التزامن إلى المدخل CK، فإن خرج دائرة القلاب يكون هو المستوى المنطقي (0) [Reset]، لأنه في هذه الحالة يكون الدخل S = 0، الدخل R = 1 وبالنظر إلى الجدول (٤- ٣) نجد أن الخرج Q = 0. في الحالة الفعالة (Set) نقول إنه تم تخزين (1) بدائرة القلاب ، وفي الحالة غير الفعالة (0) نقول إنه تم تخزين (0) بدائرة القلاب.

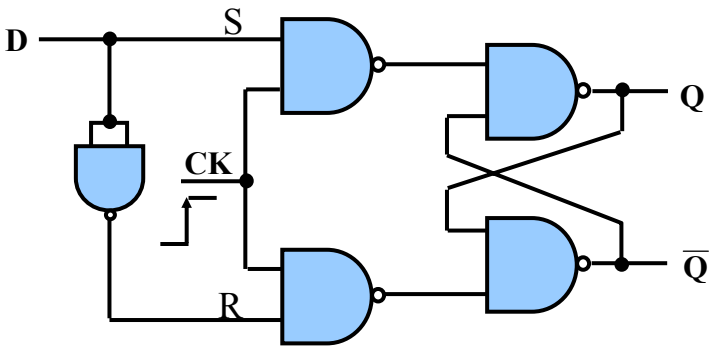
وطريقة التشغيل السابقة لدائرة القلاب من النوع D والذي يتغير الخرج له عند الحافة الموجبة لنبضة التزامن (Positive Edge Trigger) موضحة في الجدول (٤- ٤).

| المداخل | | الخرج | وضع التشغيل |
|---|---|---|---|
| D | CK | Q | (Mode of Operation) |
| 1 | ↑ | 1 | الحالة الفعالة(SET) (stores a 1) |
| 0 | ↑ | 0 | الحالة غير الفعالة (RESET) (stores a 0) |

**الجدول (٤- ٤) جدول الحقيقة لدائرة القلاب D المتزامن.**

ونلاحظ من الجدول أن الخرج (Q) يتبع الدخل (D) عند وصول نبضة التزامن. والالشكل (٤- ٩) يوضح الرمز المنطقي للقلاب D ذي المدخل الواحد للبيانات (D) بالإضافة إلى مدخل نبضات التزامن (CK) ويسمى القلاب أحياناً بقلاب التأخير الزمني(Delayed time Filp-flop). كما يبين الالشكل (٤- ١٠) كيفية بناء دائرة القلاب D باستعمال بوابات NAND.

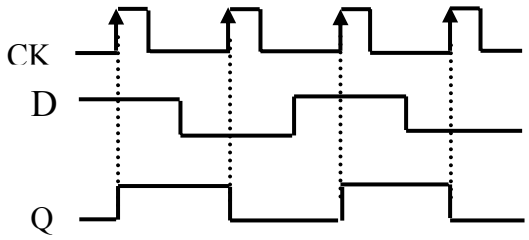



**الشكل (٤- ١٠) دائرة القلاب D باستعمال بوابات NAND. الشكل (٤- ٩) الرمز المنطقي للقلاب D.**

**مثال ٤- ٣:** ارسم الشكل نبضات الخرج (Q) لدائرة القلاب من النوع D والموضحة في الشكل (٤- ٩) إذا كان الشكل نبضات الدخل (D) موضحاً في الشكل (٤- ١١). افرض أن دائرة القلاب تعطي خرجاً Q = 0 قبل وصول أول نبضة تزامنية.

الحل



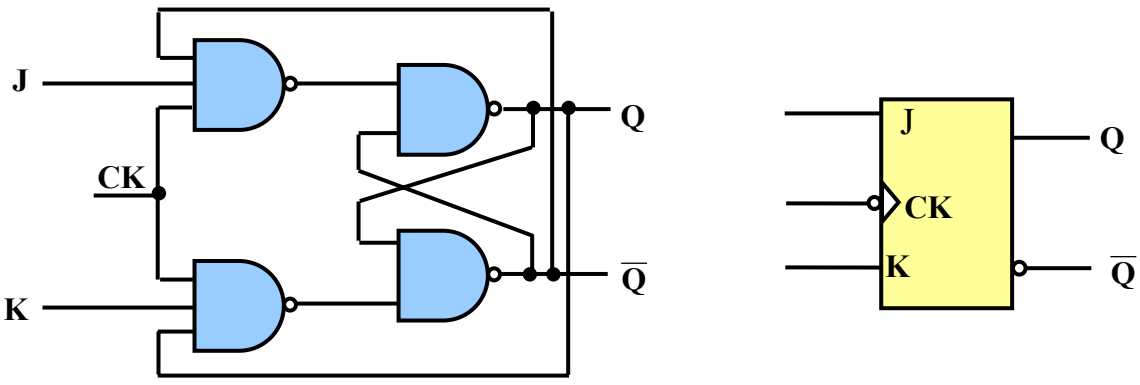

**الشكل (٤- ١١) المخطط الزمني لدائرة القلاب من النوع D.**

الخرج (Q) يتبع حالة الدخل (D) عند الوقت الذي تتغير فيه نبضة التزامن من (0) إلى (1) أي عند الحافة الموجبة.

### ٤- ١- ٤ القلاب J-K المتزامن J-K Flip Flop

تعتبر دائرة القلاب J-K من أكثر أنواع القلابات استخداماً. والرمزين J,K يمثلان الدخل لهذا القلاب، وليس اختصاراً لأي كلمة كما في حالة القلاب S-R سوى أنهما حرفين متتاليان من الحروف الهجائية. وطريقة عمل القلاب J-K تماثل تماماً القلاب S-R في الأوضاع الثلاثة الأولى للتشغيل وهي عدم التغير أو الإمساك والحالة الفعالة (Set) والحالة غير الفعالة (Reset). والفرق فقط أن القلاب J-K ليس له حالة حظر كما هو الحال في حالة القلاب S-R.

الالشكل (٤- ١٢) يبين دائرة القلاب J-K المتزامن وكذلك الرمز المنطقي له. وكما ذكرنا سابقاً فإن هذا القلاب يقوم بجميع أعمال القلاب S-R المتزامن يضاف إليها السماح بتحديد شروط الخرج عندما تكون المداخل J,K عند المستوى المنطقي (1) وفي وجود نبضة التزامن.




**الشكل (٤- ١٢) دائرة القلاب J-K المتزامن والرمز المنطقي له.**

نلاحظ من الشكل (٤- ١٢) أن دائرة هذا القلاب مختلفة عن دائرة القلاب SR حيث إن الخرج Q، $\overline{Q}$ موصلين على الدخل مرة آخرى.

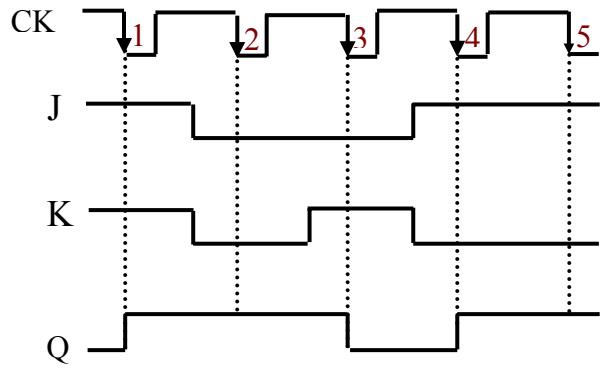
والجدول (٤- ٥) يوضح جدول الحقيقة للقلاب J-K ويبين السطر الأول حالة الإمساك أو عدم التغيير عندما يكون كل من J,K مساوياً للصفر (0)، بينما يبين السطر الثاني من الجدول حالة الخمول أو المسح (Reset) أو الحالة (0) عندما تكون المداخل J = 0, K = 1 مع وصول نبضة التزامن، أما السطر الثالث فيبين الوضع في الحالة الفعالة (Set) للقلاب J-K عندما تكون المداخل J = 1, K = 0 مع وصول نبضة التزامن. ويبين السطر الرابع حالة هامة من حالات القلاب J-K تسمى وضع التبدل (Toggle)، فعندما يكون كلُ من J,K في المستوى المنطقي (1) فإن الخرج Q يتحول إلى الحالة العكسية له عندما تصل نبضة التزامن إلى المدخل CK.

| وضع التشغيل (Mode of Operation) | الخرج | المداخل | | |
|---|---|---|---|---|
| | Q | CK | K | J |
| وضع الإمساك (عدم التغير) No Change | $Q_0$ | ↓ | 0 | 0 |
| الوضع غير الفعال (RESET) | 0 | ↓ | 1 | 0 |
| الوضع الفعال (SET) | 1 | ↓ | 0 | 1 |
| وضع التبديل Toggle | $\overline{Q}_0$ | ↓ | 1 | 1 |

**الجدول (٤- ٥) جدول الحقيقة للقلاب J-K المتزامن.**

**مثال ٤- ٤:** ارسم الشكل نبضات الخرج (Q) لدائرة القلاب J-K والموضحة في الشكل (٤- ١٢) إذا كان الشكل نبضات الدخل لكل من J-K وكذلك CK موضحاً في الشكل (٤- ١٣). افترض أن القلاب يعطي خرجاً Q = 0 قبل وصول أول نبضة تزامن.

**الحل:**




**الشكل (٤- ١٣) المخطط الزمني لدائرة القلاب J-K المتزامن.**

١- عند وصول نبضة التزامن الأولى، كل من J,K يساوي (1) ولأن هذا وضع التبديل فإن الخرج Q تحول إلى المستوى (1).

٢- عند نبضة التزامن الثانية يكون وضع الإمساك أو عدم التغيير هو الموجود نظراً لأن J = K = 0.

٣- عند حدوث النبضة الثالثة، يكون J = 0, K = 1 وهو وضع (Reset) وبالتالي تكون Q = 0.

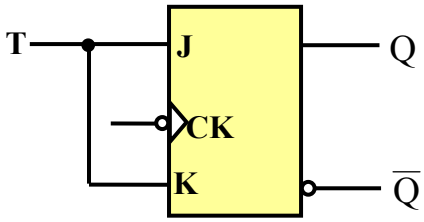
٤- عند حدوث النبضة الرابعة، يكون J = 1, K = 0 وهو وضع (Set) وعليه يكون Q = 1.

٥- الوضع (Set) يستمر مع وصول النبضة الخامسة نظراً لعدم تغير J,K وبالتالي يظل الخرج Q على الوضع (1).

### ٤- ١- ٥ دائرة القلاب من النوع T T-Type Flip-Flop

دائرة القلاب من النوع T يمكن بناؤها من دائرة القلاب J-K المتزامن وذلك بربط كل من الدخلين J,K مع بعضهما البعض كما هو موضح في الشكل (٤- ١٤)، ومنه نلاحظ أن القلاب من النوع T له دخل واحد فقط وهو الدخل T بالإضافة إلى نبضة التزامن. والرمز T هو اختصار لكلمة (Toggle) وتعني التبديل أو تغيير الحالة.

عند توصيل الدخل (T) بالمستوى المنطقي (1) مع تغذية المدخل CK بنبضات التزامن، ومع استمرار تدفق نبضات التزامن على المدخل CK يبدأ الخرج في التبديل أو التغيير ويحدث التبديل عند الطرف الهابط لنبضة التوقيت وهو ما تشير إليه الدائرة الصغيرة أمام المدخل CK في الشكل (٤- ١٤).




**الشكل (٤- ١٤) الرمز المنطقي لدائرة القلاب من النوع T.**

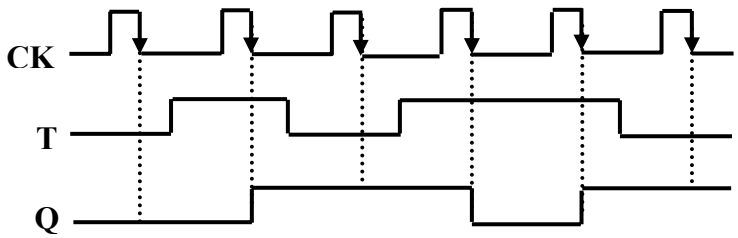
وجدول الحقيقة لدائرة القلاب من النوع T موضح في الجدول (٤- ٦).

| المداخل | | الخرج | وضع التشغيل |
|---|---|---|---|
| T | CK | Q | (Mode of Operation) |
| 0 | ↓ | $Q_0$ | وضع الإمساك (عدم التغير) No Change |
| 1 | ↓ | $\overline{Q}_0$ | وضع التبديل Toggle |

**الجدول (٤- ٦) جدول الحقيقة للقلاب من النوع T.**

**مثل ٤- ٥:** ارسم الشكل نبضات الخرج Q لدائرة القلاب من النوع (T) والموضحة في الشكل (٤- ١٤) إذا كان الدخل T وكذلك الدخل CK كما هو موضح في الشكل (٤- ١٥) وبافتراض أن القلاب يعطي خرجاً Q = 0 قبل وصول أول نبضة تزامن.

**الحل**




**الشكل (٤- ١٥) المخطط الزمني لدائرة القلاب من النوع T.**

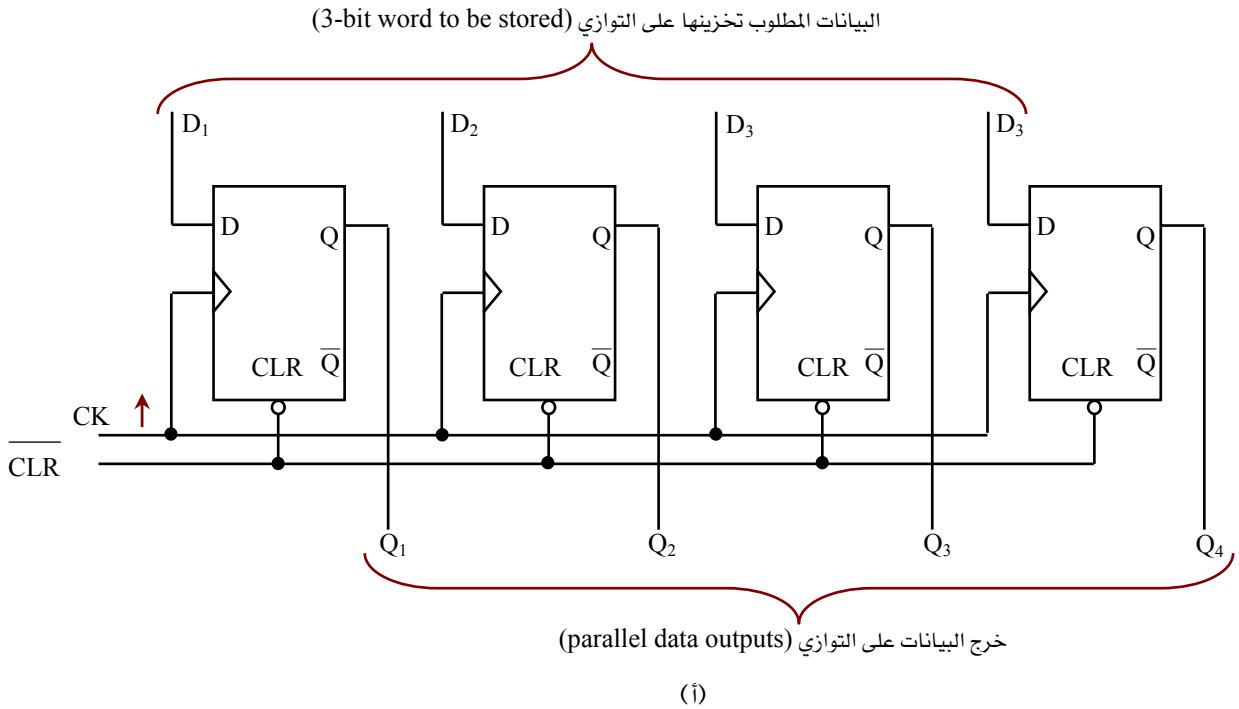
من الالشكل نجد أن الخرج Q يتغير إذا كانت T = 1 وذلك مع نبضة التزامن الهابطة، فعند نبضة التزامن الأولى فإن T = 0 وبالتالي فإن Q لن يتغير أي أن Q = 0، وعند النبضة الثانية T = 1 إذن يتغير الخرج Q من (0) إلى (1) وهكذا.

## ٤- ٢ مسجلات الإزاحة Shift Registers

تعتبر المسجلات أحد أنواع الدوائر المنطقية التعاقبية، وتستخدم المسجلات عادة لتخزين البيانات، ومن دراستنا السابقة للدوائر القلابة وجدنا أنه يمكن تخزين رقم ثنائي مفرد (bit) بواسطة دائرة قلاب مفرد، ومن ثم يمكن توصيل عدد من الدوائر القلابة معاً لبناء ما يعرف بالمسجل، والذي يستخدم كذاكرة مؤقتة لتخزين كمية صغيرة من البيانات ولفترة زمنية قصيرة وذلك تمهيداً لنقلها كما في مسجلات النقل أو العزل (Buffer Register) أو لإزاحة البيانات إلى اليسار (Shift Left) أو اليمين ( Shift Right) أو تحويل البيانات المتوالية (Serial Data) إلى بيانات متوازية (Parallel Data) والعكس كما في مسجلات الإزاحة (Shift Registers).

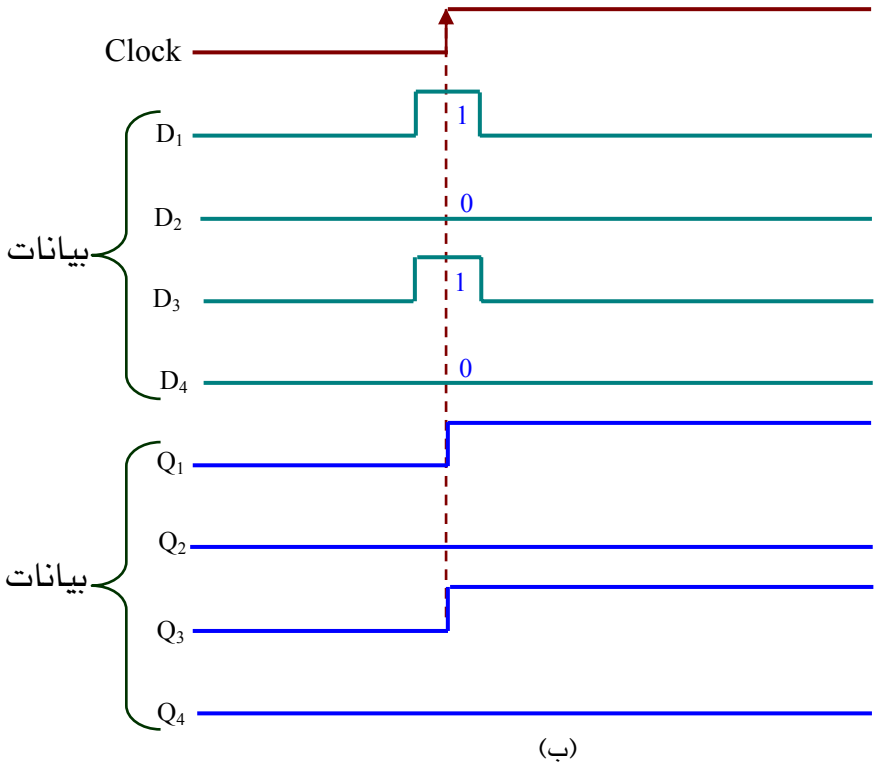
### ٤- ٢- ١ مسجلات العزل Buffer Registers

مسجل العزل ببساطة يستخدم لتخزين كلمة رقمية (Digital word) مكونة من مجموعة من الأرقام الثنائية (bits). الشكل(٤- ١٦(أ)) يوضح كيفية بناء مسجل عزل مكون من أربع مراحل (4-stages) باستخدام دوائر القلابات من النوع D والتي يتم تنشيطها عند الحافة الموجبة لنبضة التزامن (Positive edge-triggered).




(أ)

**الشكل ٤- ١٦(أ) مسجل عزل مكون من أربع مراحل باستخدام دوائر القلابات من النوع D.**




(ب)

**الشكل( ٤- ١٦(ب)) المخطط الزمني لمسجل العزل في الشكل (٤- ١٦(أ)).**

البيانات المطلوب تخزينها والتي تتكون من أربعة أرقام ثنائية (3-bits) تطبق على المداخل $D_1, D_2, D_3, D_4$ للمسجل وتظهر على المخارج $Q_1, Q_3, Q_2, Q_4$ عند حدوث أول نبضة تزامن موجبة عند مدخل نبضات التزامن (CK)

.وبالرجوع إلى الرسم البياني الزمني في الشكل( ٤- ١٦ (ب)) نرى أن البيانات المراد تخزينها والتي تكون موجودة على خطوط البيانات $Q_1, Q_2, Q_3, Q_4$ يتم تخزينها أو إدخالها في المسجل عند الحافة الموجبة لنبضة التزامن. هذه البيانات تكون موجودة بصفة مستمرة على الخرج.

وحيث إنه تم إدخال كلمة مكونة من أربعة أرقام ثنائية على التوازي لمدخل المسجل، وتم إخراجها على التوازي أيضاً، لذلك فإن مسجلات العزل غالباً ما تسمى بمسجلات متوازية المدخل- متوازية المخرج (Parallel-in, Parallel-out Registers). ودخل المسح (Clear-input) والمنشط عند الحافة السالبة (active-low) يستخدم لمسح جميع دوائر القلابات.

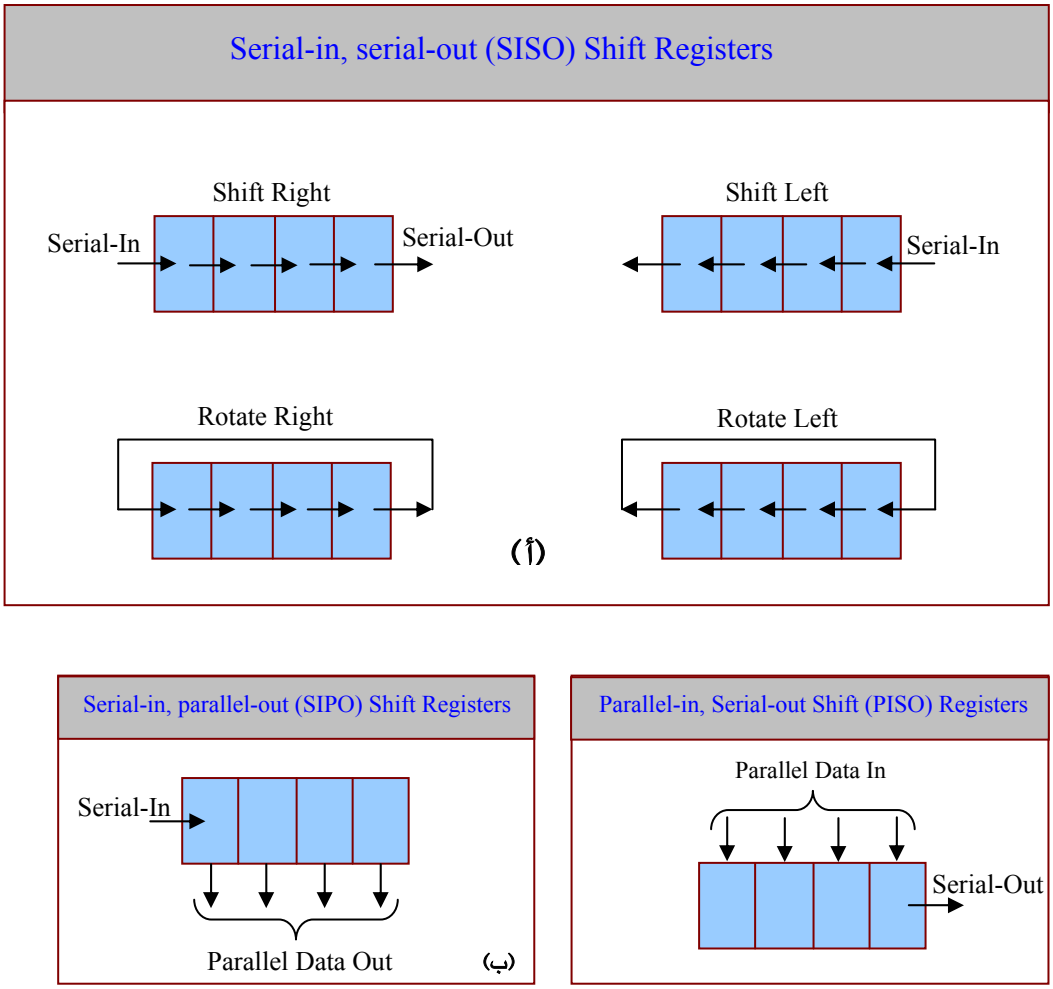
### ٤- ٢- ٢ مسجلات الإزاحة Shift Registers

مسجل الإزاحة هو مسجل لتخزين البيانات تمهيداً لتحريكها (move) أو إزاحتها (Shift) يساراً أو يميناً، والأنواع الثلاثة الأساسية لمسجلات الإزاحة موضحة بالالشكل (٤- ١٧) وهي:

١- مسجلات إزاحة متوالية المدخل – متوالية المخرج (Serial-in, Serial-out Shift Registers) وتكتب اختصاراً (SISO).

٢- مسجلات إزاحة متوالية المدخل – متوازية المخرج (Serial-in, Parallel-out Shift Registers) وتكتب اختصاراً (SIPO).

٤- مسجلات إزاحة متوازية المدخل – متوالية المخرج (Parallel-in, Serial-out Shift Registers) وتكتب اختصاراً (PISO).




**الشكل( ٤- ١٧) تصنيف مسجلات الإزاحة.**

ولفهم كيفية تشغيل هذه المسجلات بتفصيل أكثر فلنأخذ بالتفصيل كل نوع من هذه الأنواع الثلاثة على حده:

### ٤- ٢- ٢- ١ مسجلات الإزاحة متوالية المدخل – متوالية المخرج

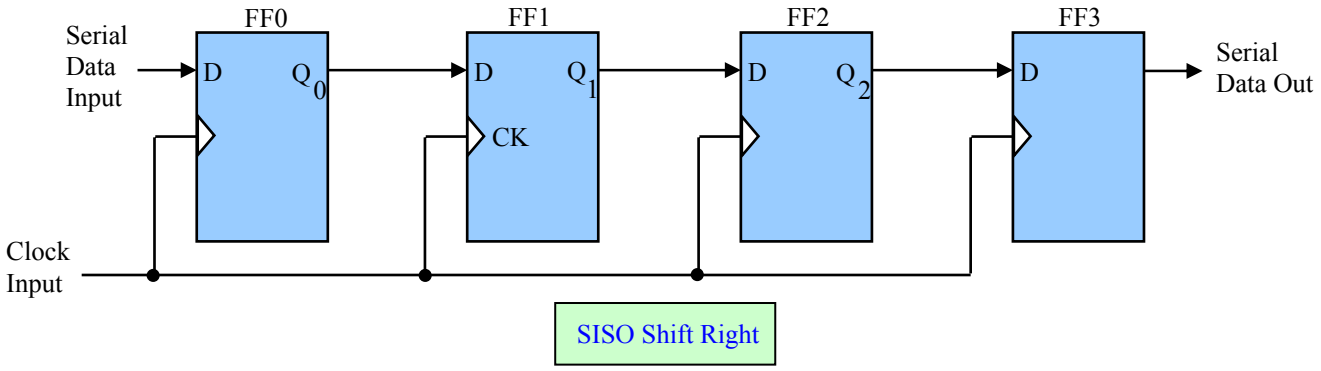
### Serial-in, Serial-out (SISO) Shift registers

الجدول (٤- ٧) يوضح كيفية عمل مسجل الإزاحة. ففي هذا المثال نجد أن المسجل يحتوي على البيانات 0110 (محتوى ابتدائي) بينما البيانات الخارجية المتوالية 1001 موجودة على دخل المسجل في انتظار حدوث إزاحة لها.

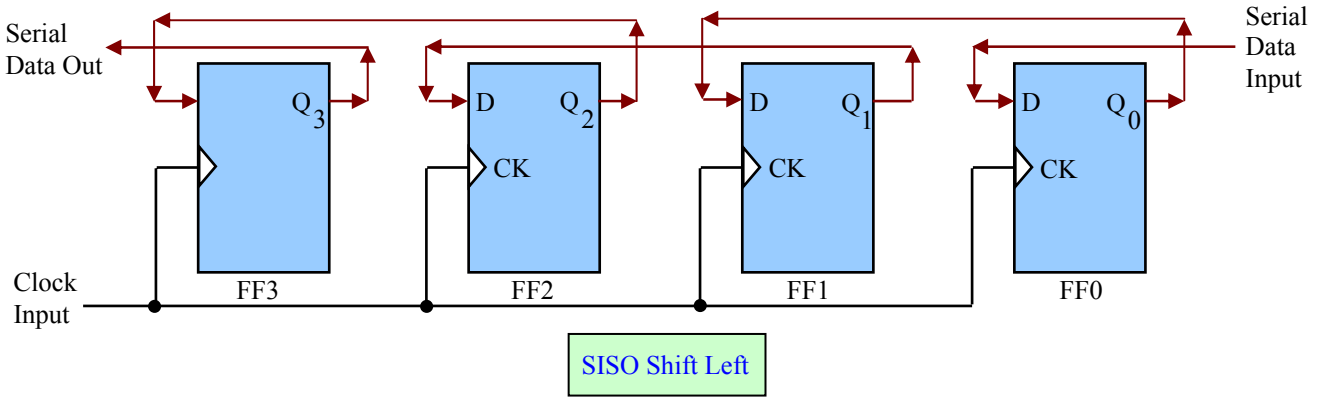
| نبضات التزامن | البيانات المراد تخزينها | خرج المسجل | | | |
|---|---|---|---|---|---|
| Clock | Input | $Q_0$ | $Q_1$ | $Q_2$ | $Q_3$ |
| – | – | 0 | 1 | 1 | 0 |
| 1st | 1 | 1 | 0 | 1 | 1 |
| 2nd | 0 | 0 | 1 | 0 | 1 |
| 3rd | 0 | 0 | 0 | 1 | 0 |
| 4th | 1 | 1 | 0 | 0 | 1 |

الجدول (٤- ٧) كيفية عمل مسجل الإزاحة.

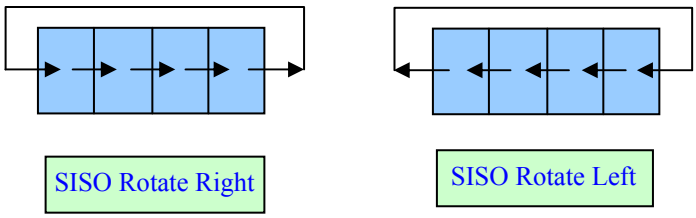
بعد نبضة التزامن الأولى (1st Clock pulse) البيانات المخزنة بالمسجل سيتم إزاحتها بمقدار خانة واحدة إلى اليمين وفي نفس الوقت فإن الرقم الأول من البيانات الخارجية المتوالية سيتم إزاحته داخل الخانة الأولى من المسجل. بعد نبضة التزامن الثانية (2nd Clock pulse)، يكون هناك رقمان من الأرقام المخزنة (0110) قد تمت إزاحتها خارج المسجل بينما تم تخزين رقمين من الأرقام الخارجية المتوالية (1001). بعد نبضة التزامن الثالثة، ثلاث إزاحات في اتجاه اليمين تكون قد تمت. وبعد نبضة التزامن الرابعة، فإن البيانات الأصلية المخزونة (0110) تكون قد حدث لها إزاحة خارج المسجل، بينما البيانات المطبقة على الدخل (1001) حدث لها إزاحة بالكامل داخل المسجل وهي الآن مخزنة فيه.




(أ)




(ب)




(جـ)

**الشكل (٤- ١٨) مسجل إزاحة إلى اليمين واليسار ودوران يمين ويسار مكون من أربع مراحل.**

الشكل( ٤- ١٨(أ)) يوضح مسجل إزاحة مكون من أربع مراحل (3-bits) وذلك باستخدام دائرة القلاب من النوع D. البيانات المتوالية يتم إدخالها إلى الطرف D لدائرة القلاب الأولى (FF0)، وخرج دائرة القلاب الأولى ($Q_0$) يوصل إلى الدخل D لدائرة القلاب الثانية (FF1)، وخرج دائرة القلاب الثانية ($Q_1$) يوصل إلى الدخل لدائرة القلاب الثالثة (FF2)، وخرج دائرة القلاب الثالثة ($Q_2$) يوصل إلى الدخل لدائرة القلاب الرابعة (FF3)، وخرج دائرة القلاب الرابعة يمثل الخرج المتوالي النهائي لدائرة المسجل المكون من أربعة مراحل.

نبضات التزامن (Clock input) توضع لحظياً على كل دوائر القلابات، ومع كل حافة موجبة (Positive edge) من النبضات تتم إزاحة خانة واحدة (1-bit) من بيانات الدخل إلى المسجل، وبالتالي فإن مسجل الإزاحة متوالي الدخل – متوالي الخرج يحتاج إلى أربع نبضات تزامن ليتم تسجيل البيانات الأربعة الموجودة على المدخل، ومن ناحية أخرى فإن هذا المسجل يحتاج إلى أربعة نبضات أخرى لإزاحة المعلومات إلى الخارج.

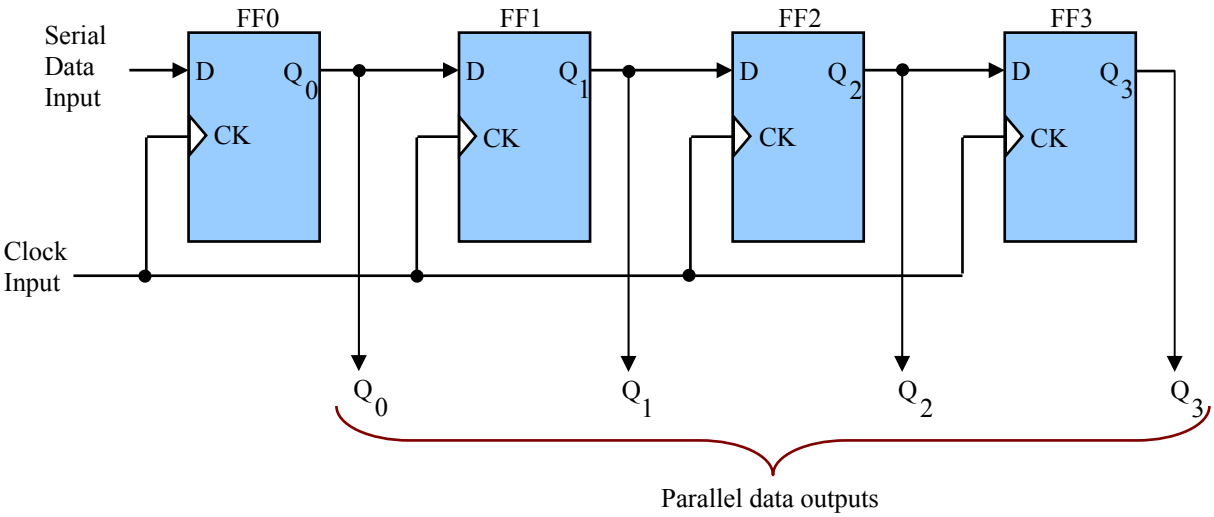
الدائرة الموضحة في الشكل (٤- ١٨(أ)) تبين لنا كيفية توصيل عدد أربعة دوائر قلابة من النوع D وذلك لبناء مسجل إزاحة إلى اليمين من النوع متوالي الدخل – متوالي الخرج ( SISO Shift-Right Shift Register). والدائرة الموضحة في الشكل( ٤- ١٨(ب)) توضح لنا كيفية بناء مسجل إزاحة إلى اليسار مكون من أربعة دوائر قلابة من النوع D على الشكل متوالي الدخل – متوالي الخرج ( SISO Shift- Left Shift Register).

في بعض التطبيقات، البيانات المتوالية في الشكل( ٤- ١٨(أ))، والشكل( ٤- ١٨(ب)) يتم توصليها مباشرة للخلف مرة أخرى إلى طرف الدخل المتوالي للمسجل، بمعنى أن البيانات الخارجة يتم تسجيلها مرة أخرى دون أن تُفقد وتسمى هذه العمليات باسم توالي المدخل – توالي المخرج دوران يمين (SISO Rotate-Right) وتوالي المدخل – توالى المخرج دوران يسار (SISO Rotate-Left) كما هو موضح في الشكل( ٤- ١٨(جـ)).

### ٤- ٢- ٢- ٢ مسجلات إزاحة متوالية الدخل – متوازية الخرج
### Serial-in, parallel out (SIPO) Shift registers

الالشكل (٤- ١٩) يوضح النوع الثاني من مسجلات الإزاحة والذي يسمى بمسجل الإزاحة متوالي الدخل – متوازي الخرج.

ولإدخال البيانات في هذا المسجل، يتم تطبيق البيانات المتوالية والمكونة من (3-bits) على مدخل البيانات على التوالي (Serial data input) وتتم إزاحتها تحت التحكم في نبضات الدخل المتزامنة (إزاحة واحدة في اتجاه اليمين لكل نبضة).



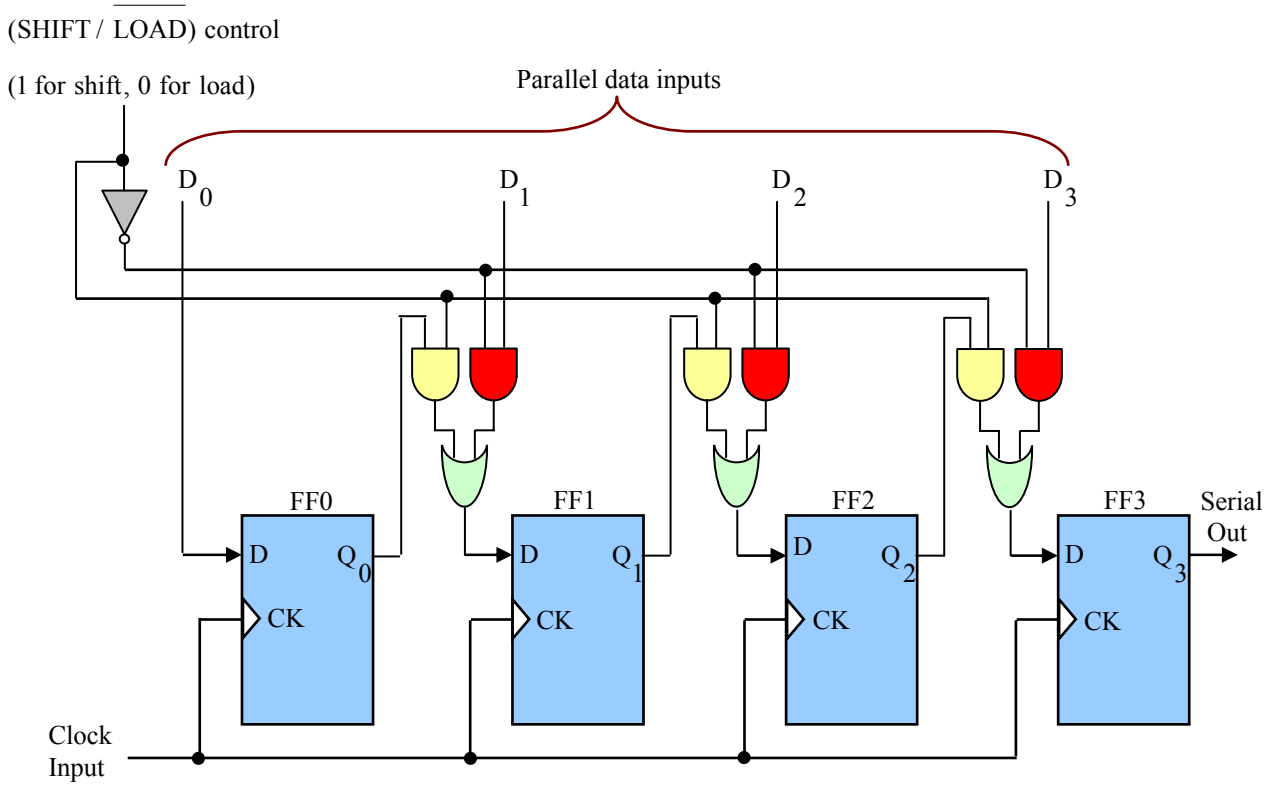

**الشكل (٤- ١٩) مسجل إزاحة متوالي الدخل- متوازي الخرج.**

ولإدخال أو تخزين كلمة مكونة من أربعة أرقام (3-bits) على التوالي داخل هذا المسجل نحتاج إلى أربع نبضات تزامن. البيانات المخزونة داخل مسجل الإزاحة تكون موجودة على المخارج الأربعة ($Q_3,Q_2,Q_1,Q_0$) كأربعة أرقام (3-bits) خرج على التوازي.

### ٤- ٢- ٢- ٣ مسجلات إزاحة متوازية الدخل – متوالية الخرج

**Parallel-in, Serial-out (PISO) Shift registers**

الشكل (٤- ٢٠) يوضح كيف يمكن بناء مسجل مكون من أربعة مراحل من النوع متوازي الدخل – متوالي الخرج وذلك باستخدام دوائر القلابات من النوع D. يتم التحكم في الدائرة عن طريق طرف تحكم الدخل $SHIFT/\overline{LOAD}$. عندما يكون طرف التحكم $SHIFT/\overline{LOAD}$ في الوضع (Low)، فإن جميع البوابات AND المظللة باللون الأحمر تكون نشطة (Enabled) نتيجة لعكس إشارة التحكم هذه عن طريق العاكس Inverter المظلل. هذه البوابات الفعالة تعمل على توصيل البيانات من خطوط الدخل للبيانات ($D_3,D_2,D_1,D_0$) إلى مداخل البيانات على دوائر القلابات. عند وصول نبضة التزامن (Clock pulse)، فإن هذه البيانات سوف يتم تخزينها داخل المسجل وتظهر على المخارج ($Q_3,Q_2,Q_1,Q_0$).




**الشكل (٤- ٢٠) مسجل إزاحة متوازي الدخل- متوالي الخرج.**

وعندما يكون طرف التحكم $SHIFT/\overline{LOAD}$ في الوضع (High)، فإن جميع البوابات AND المظللة باللون الأصفر تكون فعالة أو نشطة (Enabled). هذه البوابات الفعالة توصل الخرج $Q_0$ إلى الدخل D لدائرة القلاب الثانية (FF1)، وتوصل الخرج $Q_1$ إلى الدخل لدائرة القلاب الثالثة (FF2) ، وكذلك توصيل الخرج $Q_2$ إلى دخل دائرة القلاب الرابعة (FF3). وفي هذا الوضع ، فإن البيانات المخزنة داخل مسجل الإزاحة سوف تحدث لها إزاحة جهة اليمين وبمقدار خانة واحدة (1-bit) مع كل نبضة من نبضات التزامن الموجودة على الدخل (clock input).

## ٤- ٣ العدادات Counters

العدادات مثل المسجلات يمكن بناؤها من الدوائر القلابة، ومن ناحية أخرى يصمم المسجل كي يقوم بتخزين عدد من الخانات الثنائية (binary bits)، بينما الخانات الثنائية التي يتم تخزينها من طريق العداد تمثل عدد نبضات التزامن التي دخلت على مدخل نبضات التزامن (clock input)، ونبضات التزامن المطبقة على العداد تعمل على تغيير حالة دوائر القلابات المصمم منها العداد وبملاحظة خرج دوائر القلابات يمكننا تحديد عدد نبضات التزامن التي تم تطبيقها على مدخل العداد.

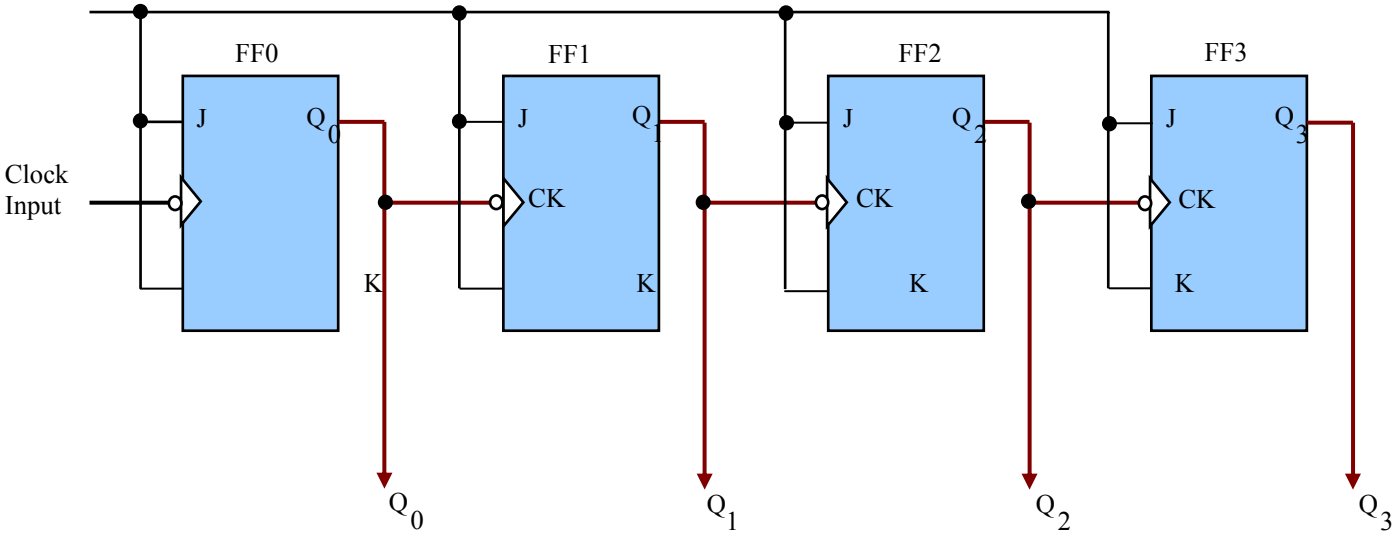
وهنـاك نوعـان أساسـيان مـن دوائـر العـدادات أحـدهما يسـمى بالعـدادات غـير المتزامنـة (Asynchronous Counters) والنـوع الآخـر يسـمى بالعـدادات المتزامنـة ( Synchronous Counters). والفرق الرئيس بين هذين النوعين من العدادات هو طريقة توصيل نبضات التزامن بين الدوائر القلابة التي يتكون منها العداد. وأغلب القلابات التي يتكون منها العداد غير المتزامن لا توصل إلى نبضات التزامن الرئيسة، وبالتالي فإن هذا العداد يعمل غير متزامن مع نبضات التزامن الرئيسة (Master Clock)، ومن ناحية أخرى كل دوائر القلابات المكونة للعدادات المتزامنة تصل إلى نبضات التزامن الرئيسة، وبالتالي فإن هذا العداد يعمل متزامناً مع نبضات التزامن الرئيسة.

### ٤- ٣- ١ العدادات الثنائية التصاعدية غير المتزامنة Asynchronous Binary-Up Counters

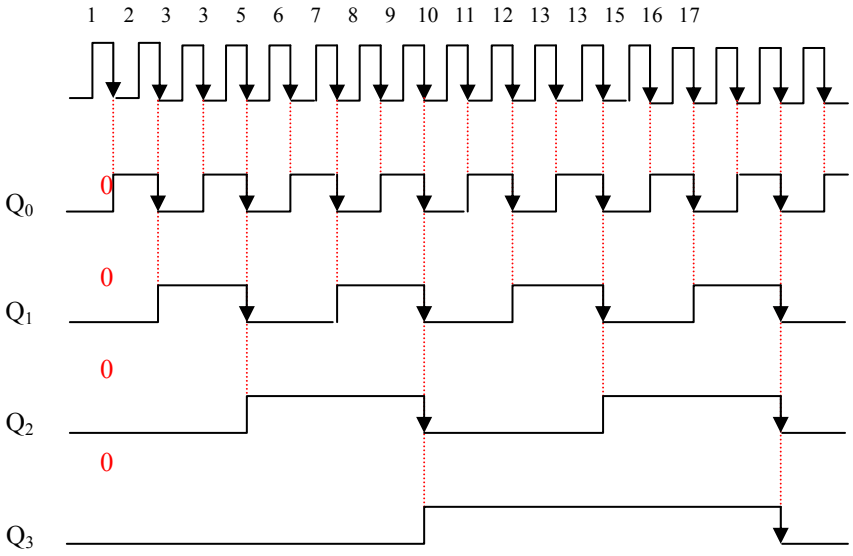
الشكل( ٤- ٢١(أ)) يوضح كيفية بناء عداد غير متزامن تصاعدي مكون من أربعة مراحل. كل مرحلة عبارة عن قلاب J-K المتزامن. في هذه الدائرة نرى أن جميع دوائر القلابات موصلة على التوالي بمعنى أن الخرج لإحدى دوائر القلابات سوف يستخدم كنبضات تزامن للقلاب الذي يليه.

ويلاحظ أن الدخل J,K لجميع القلابات موصل بالمستوى (High)، وعلى ذلك فإن خرج كل دوائر القلابات سوف يحدث له تبديل (Toggle) أو تغير مع كل حافة سالبة (Negative edge) من نبضات التزامن. أشكال الموجات لنبضات التزامن الرئيسة لهذه الدائرة مع الخرج (Q) لكل دائرة قلاب موضحة في الشكل (٤- ٢١(ب)).

المخرجات $Q_3,Q_2,Q_1,Q_0$ تمثل الكلمة المكونة من أربع خانات (3-bit word) والتي نفترض أنها عند بداية العد تساوي 0000 كما هو موضح في أقصى اليسار من الالشكل الموجي للنبضات وموضحة أيضاً في السطر الأول من جدول الحقيقة المبين في جدول (٤- ٧). خرج دائرة القلاب FF0 ($Q_0$) يمثل خانة (LSB) للخرج بينما يمثل خرج دائرة القلاب FF3 ($Q_3$) الخانة (MSB).




(أ)




(ب)

**الشكل (٤- ٢١) عداد تصاعدي غير متزامن مكون من أربعة مراحل مع أشكال النبضات له.**

ونلاحظ أن دائرة القلاب (FF0) تنشط عن طريق نبضات التزامن الرئيسة (Clock input)، وبالتالي فإن الخرج $Q_0$ يحدث له تبديل (Toggle) مع كل نبضة من نبضات الدخل التزامنية، كما هو موضح على الخرج $Q_0$ في الشكل( ٤- ٢١(ب))، وهذا يعني أن الحافة السالبة الأولى لنبضة التزامن

سوف تجعل $Q_0$ يتغير من "0" إلى "1" والحافة السالبة الثانية سوف تجعله يتغير من "1" إلى "0" وهكذا. وهذا الخرج $Q_0$ موصل كنبضات تزامن إلى دخل دائرة القلاب FF1، وعليه فإن كل حافة سالبة من $Q_0$ سوف تجعل الخرج $Q_1$ يتبدل أو يتغير (Toggle). وبالمثل فإن كل حافة سالبة من $Q_1$ سوف تجعل الخرج $Q_2$ يتبدل، وكل حافة سالبة من $Q_2$ سوف تجعل الخرج $Q_3$ يتبدل.

| العشري | خرج العداد | | | |
|---|---|---|---|---|
| | $Q_0$ | $Q_1$ | $Q_2$ | $Q_3$ |
| 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 2 | 0 | 1 | 0 | 0 |
| 3 | 1 | 1 | 0 | 0 |
| ٣ | 0 | 0 | 1 | 0 |
| 5 | 1 | 0 | 1 | 0 |
| 6 | 0 | 1 | 1 | 0 |
| 7 | 1 | 1 | 1 | 0 |
| 8 | 0 | 0 | 0 | 1 |
| 9 | 1 | 0 | 0 | 1 |
| 10 | 0 | 1 | 0 | 1 |
| 11 | 1 | 0 | 1 | 1 |
| 12 | 0 | 0 | 1 | 1 |
| 13 | 1 | 0 | 1 | 1 |
| 13 | 0 | 1 | 1 | 1 |
| 15 | 1 | 1 | 1 | 1 |

Cycle Repeats

Binary Count

**الجدول (٤- ٨) جدول الحقيقة للعداد التصاعدي غير المتزامن.**

- **أقصى عد للعداد** The Maximum Count (N) of a Counter

بالنظر إلى جدول الحقيقة للعداد والموضح في الجدول (٤- ٨)، نجد أنه بعد النبضة التزامنية الأولى يكون خرج العداد 0001 [واحد (1) في النظام العشري]، وبعد النبضة التزامنية الثانية يكون الخرج 0010 [اثنان (2) في النظام العشري]، وبعد النبضة التزامنية الثالثة يكون الخرج 0011 [ثلاثة (3) في النظام العشري]..... وهكذا. وأقصى عدد ممكن أن يصل إليه العداد محكوم بعدد دوائر القلابات المصمم منها العداد، ويمكن حساب أقصى عدد يصل إليه العداد عن طريق العلاقة:

$$N = 2^n - 1$$

حيث:

N = أقصى عدد للعداد قبل تكرار الدورة (N = maximum count before cycle repeats)

n = عدد دوائر القلابات في دائرة العداد (n = number of flip-flops in the counter circuit)

وفي دائرة العداد الموضحة في الشكل( ٤- ٢٠(أ)) فإن أقصى عدد للعداد هو :

$$N = 2^n - 1$$
$$= 2^4 - 1$$
$$= 16 - 1$$
$$= 15_{10}(1111_2)$$

- **مقياس العداد** The Modulus (MOD) of a counter

يعرف مقياس العداد (Modulus of a counter) ويختصر إلى (MOD) بأنه عدد التشكيلات المختلفة لخرج العداد. وكمثال على ذلك فإن العداد الموضح في الشكل( ٤- ٢١(أ)) له MOD يساوي (16) لأن العداد يولد (16) خرجاً مختلفاً من 0000 إلى 1111 وكما هو موضح في جدول الحقيقة في الجدول (٤- ٨). كما يمكن حساب MOD لأي عداد باستخدام العلاقة:

$MOD = 2^n$
MOD = modulus of the counter
n = number of flip-flops in the counter circuit

وفي دائرة العداد الموضحة في الشكل( ٤- ٢٠ (أ)) فإن نطاق الأعداد التي يعدها العداد هي:

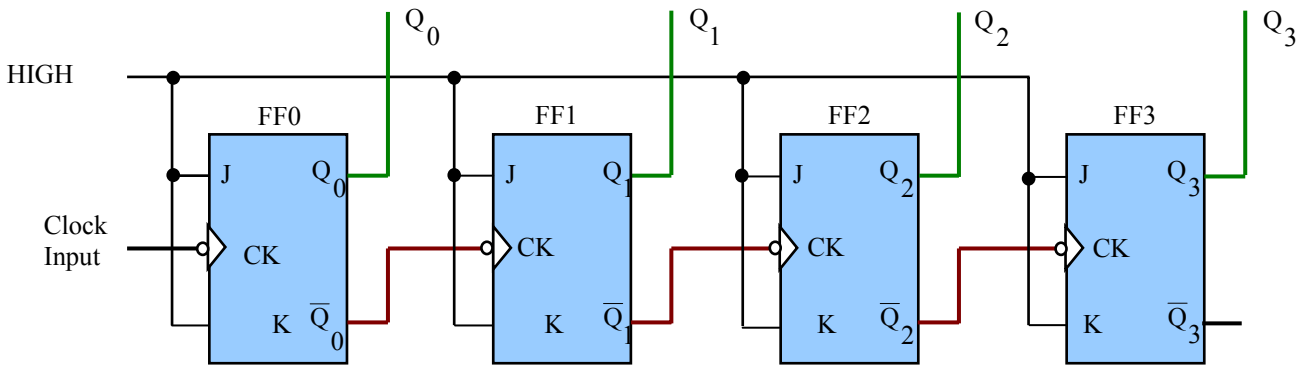
$$MOD = 2^n$$
$$= 2^4$$
$$= 16$$

### ٤- ٣- ٢ العدادات الثنائية التنازلية غير المتزامنة Asynchronous Binary Down Counters

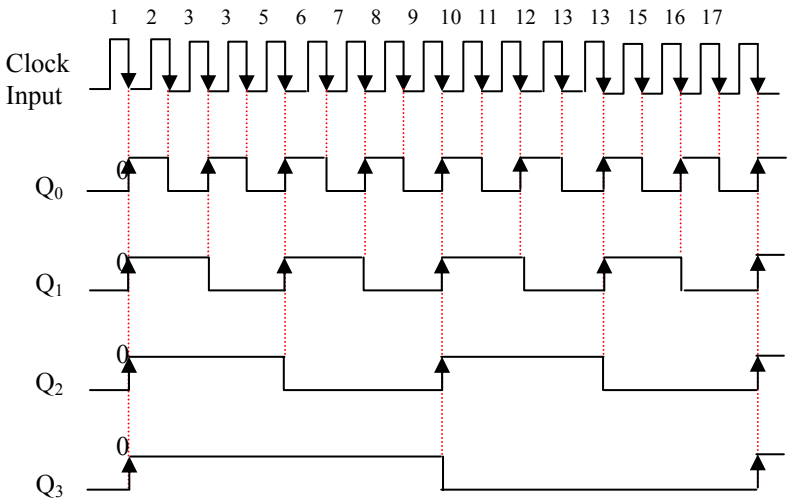
في العداد التصاعدي الذي تمت دراسته كانت كل نبضة تزامن تجعل خرج العداد يزيد بمقدار "1". وبعمل تعديل بسيط في دائرة العداد التصاعدي يمكننا الحصول على العداد التنازلي والذي ينقص خرجه بمقدار "1" مع كل نبضة تزامن. الالشكل( ٤- ٢١(أ)) يبين بناء عداد تنازلي مكون من أربع

مراحل باستخدام أربع دوائر قلابة من النوع J-K . ونلاحظ توصيل الخرج $\overline{Q}$ لكل مرحلة كدخل نبضات تزامن لها بدلاً من الخرج Q في حالة العداد التصاعدي.

نبضات التزامن والشكل الخرج Q لهذا العداد موضحة في الشكل( ٤- ٢١(ب)). وبالنظر إلى أقصى اليسار من الالشكل نجد أن جميع الدوائر القلابة سوف تبدأ من وضع (RESET) وبالتالي فإن $Q_3,Q_2,Q_1,Q_0$ تساوي 0000. فإذا كانت جميع مخارج الدوائر القلابة Q تساوي Low تكون جميع المخارج $\overline{Q}$ هي 1111. وبناء على ذلك فإن مداخل نبضات التزامن لكل من الدوائر القلابة FF3,FF2,FF1 تساوي High. وحيث إن المداخل J,K لكل دوائر القلاب الأربع موصلة High فإن الخرج لكل قلاب سوف يحدث له تبديل (Toggle) وذلك عند كل حافة سالبة من نبضات الدخل المتزامنة.




(أ)




(ب)

**الشكل (٤- ٢١) عداد تنازلي غير متزامن مكون من أربعة مراحل مع أشكال النبضات له.**

وعند وصول الحافة السالبة الأولى لنبضة التزامن إلى القلاب FF0، فإن الخرج $Q_0$ يتغير من "0" إلى "1" ، وهذا بالطبع يجعل الخرج $\overline{Q}_0$ يتغير من "1" إلى "0" وهذه الحافة السالبة سوف تدخل كنبضة تزامن إلى القلاب FF1، مما يسبب حدوث تغير في الخرج $Q_1$ من "1" إلى "0" مما يجعل الخرج $\overline{Q}_1$ يتغير من "1" إلى "0". وهذا التبديل للخرج $\overline{Q}_1$ من "1" إلى "0" سوف يكون كنبضة تزامن للقلاب FF2، وهكذا.

| خرج العداد | | | | العشري |
|---|---|---|---|---|
| $Q_3$ | $Q_2$ | $Q_1$ | $Q_0$ | |
| 1 | 1 | 1 | 1 | 15 |
| 1 | 1 | 1 | 0 | 13 |
| 1 | 1 | 0 | 1 | 13 |
| 1 | 1 | 0 | 0 | 12 |
| 1 | 0 | 1 | 1 | 11 |
| 1 | 0 | 1 | 0 | 10 |
| 1 | 0 | 0 | 1 | 9 |
| 1 | 0 | 0 | 0 | 8 |
| 0 | 1 | 1 | 1 | 7 |
| 0 | 1 | 1 | 0 | 6 |
| 0 | 1 | 0 | 1 | 5 |
| 0 | 1 | 0 | 0 | ٣ |
| 0 | 0 | 1 | 1 | 3 |
| 0 | 0 | 1 | 0 | 2 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 0 | 0 | 0 |

Cycle Repeats

Binary Count

**جدول (٤- ٩) جدول الحقيقة للعداد التنازلي غير المتزامن.**

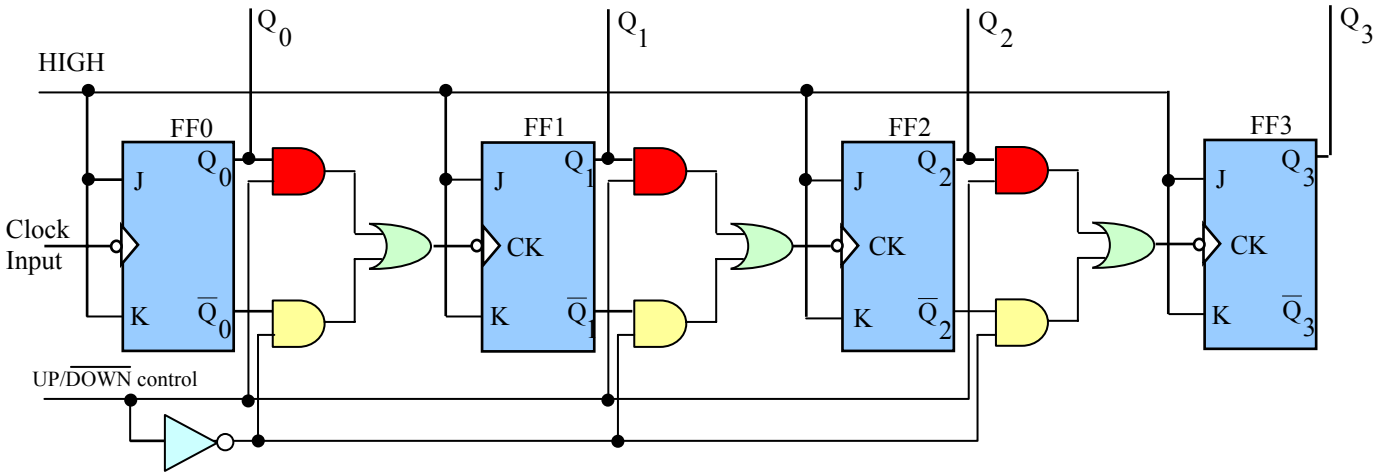
بعد نبضة التزامن الأولى يكون الخرج على العداد $Q_3,Q_2,Q_1,Q_0$ يساوي 1111 = $(15)_{10}$ كما هو موضح في السطر الأول لجدول الحقيقة في الجدول (٤- ٩). وبالتالي فإن دائرة العداد التنازلي تبدأ في العد التنازلي برقم واحد مع كل نبضة تزامن تطبق على الدخل. وبالعودة مرة أخرى إلى الشكل النبضات في الالشكل( ٤- ٢١(ب))، يمكننا أن نرى أن دائرة القلاب FF0يحدث لها تبديل عند كل حافة سالبة من نبضات التزامن، وبالتالي فإن تردد الخرج $Q_0$ يساوي نصف تردد الدخل، ونلاحظ أن الخرج $Q_3,Q_2,Q_1$ يحدث له تبديل مع كل حافة موجبة لنبضة التزامن التي تصل من دائرة القلاب السابق له.

## ٤- ٣- ٣ العدادات الثنائية التصاعدية / التنازلية غير المتزامنة

## Asynchronous Binary Up/Down Counters

بمقارنة دائرة العداد التصاعدي والتنازلي غير المتزامنين، نجد أن الفرق الوحيد بين الدائرتين أن دوائر القلابات في العداد التصاعدي تنشط عن طريق نبضات التزامن التي تأتي من الخرج Q بينما تنشط دوائر القلابات في العداد التنازلي عن طريق نبضات التزامن التي تأتي من الخرج $\overline{Q}$.

الشكل (٤- ٢٢) يبين كيفية بناء عداد تصاعدي / تنازلي عن طريق ثلاث مجموعات من AND-OR يتم التحكم في تشغيلها عن طريق خط التحكم $UP/\overline{DOWN}$.

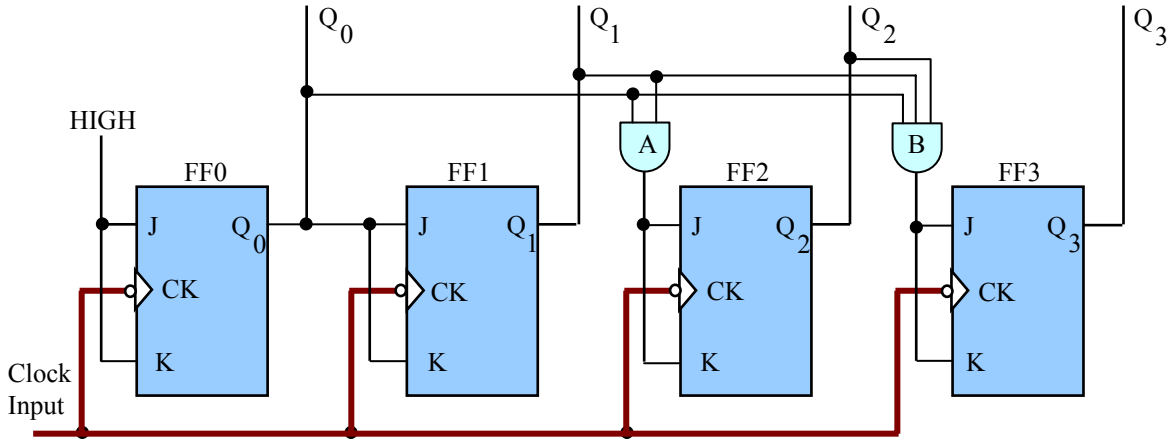



الشكل (٤- ٢٢) العداد التصاعدي التنازلي.

إذا كان خط التحكم $UP/\overline{DOWN}$ في الوضع High، فإن كل البوابات AND المظللة باللون الأحمر تكون فعالة (Enabled)، وبالتالي يتم توصيل كل خرج Q إلى مدخل النبضات المتزامنة لدوائر القلاب، مما يجعل العداد يعمل كعداد تصاعدي ومن ناحية أخرى، إذا كان خط التحكم $UP/\overline{DOWN}$ في الوضع Low، فإن كل البوابات المظللة باللون الأحمر سوف تكون في الحالة غير الفعالة (Disabled) وكل البوابات المظللة باللون الأصفر سوف تكون في الحالة الفعالة (Enabled) وبالتالي يتم توصيل كل خرج $\overline{Q}$ إلى مدخل النبضات المتزامنة لدوائر القلاب، مما يجعل العداد يعمل كعداد تنازلي.

## ٤- ٣- ٤ العدادات الثنائية التصاعدية المتزامنة Synchronous Binary Counters

الشكل (٤- ٢٣) يوضح كيفية توصيل أربع دوائر قلابة من النوع J-K وبوابتي AND لبناء دائرة عداد تصاعدي متزامن مكون من أربعة مراحل (3-bit) أو (MOD-16) ونلاحظ من الدائرة أنه قد تم تمييز خط نبضات التزامن (خط ثقيل) لنرى أن كل دوائر القلابات في دائرة العداد المتزامن يحدث لها تنشيط (Triggered) عن طريق نبضات التزامن في نفس الوقت. وهذا التوصيل على التوازي يجعل العداد متزامناً، وبالتالي فإن جميع دوائر القلابات سوف تنشط مع كل نبضة من نبضات التزامن.




**الشكل (٤- ٢٣) عداد تصاعدي متزامن مكون من أربعة مراحل.**

والآن سوف ندرس كيفية عمل هذا العداد حيث إن الدخلين J,K لدائرة القلاب FF0 توضع على المستوى High، وبناء عليه فإن الخرج سوف يحدث له تبديل (Toggle) مع كل نبضة تزامن تماماً مثل المرحلة الأولى في العداد التصاعدي غير المتزامن والذي سبق شرحه، حيث الخرج يتغير من Low إلى High ومن High إلى Low وهكذا.

الدخلان J,K لدائرة القلاب FF1 يتم التحكم فيها عن طريق الخرج المقسوم على 2 لدائرة القلاب FF0 . وهذا يعني أنه عندما يكون الخرج $Q_0$ في المستوى Low، فإن الخرج $Q_1$ لدائرة القلاب FF1 لن يحدث له تغيير (No change) وعندما يكون الخرج $Q_0$ في المستوى High، فإن الخرج $Q_1$ سوف يحدث له تبديل (Toggle).

الدخلان J,K لدائرة القلاب FF2 يتم التحكم فيها عن طريق خرج بوابة AND(A) دخليها هما $Q_0,Q_1$. وهذا يعني أنه عندما تكون $Q_0 = Q_1 =$ High فإن خرج بوابة AND(A) سوف يكون High، وهذا الخرج يُنشِط (Enable) دائرة القلاب FF2 وذلك لعمل التبديل المطلوب.

الدخلان J,K لدائرة القلاب FF3 يتم التحكم فيها عن طريق خرج بوابة AND(B) لها المداخل $Q_2,Q_1,Q_0$. وهذا يعني أنه عندما تكون $Q_2,Q_1,Q_0$ في المستوى High فإن خرج بوابة AND(B) سوف يكون High وهذا الخرج يُنشِط دائرة القلاب FF3 لعمل التبديل.

- **مميزات العدادات المتزامنة** Synchronous Counters Advantages

أهم مميزات العدادات غير المتزامنة أو عدادات التموج (Ripple counters) هو بساطة تكوين الدائرة، ويمكن أن نرى ذلك بوضوح عند مقارنة دائرة العداد التصاعدي غير المتزامن في الشكل( ٤- ٢١(أ)) مع دائرة العداد التصاعدي المتزامن في الشكل (٤- ٢٣).

أهم عيوب العدادات غير المتزامنة هو تردد التشغيل المحدود لها أو ما يسمى بسرعة العد المحدودة.، ولأن دخل نبضات التزامن يطبق فقط على دخل أو دائرة قلاب، فإن الدائرة تأخذ بعض الوقت حتى يتمكن العداد من تغيير جميع المخارج له، وهذا ما يسمى زمن تأخير الانتشار ( Propagation-delay time) للعداد والذي يساوي في هذه الحالة مجموع أوقات تأخير الانتشار لكل دائره من دوائر القلابات التي يتكون منها العداد.

هذه المحدودية تعني أنه لا يمكننا تنشيط دخل العداد بنبضة تزامن جديدة قبل أن تستقر جميع مخارج العداد على وضعها النهائي، وبناء عليه فإن تردد الدخل لنبضات التزامن (النبضات المطلوب عدها) لها سرعة محدودة أو تردد محدود. وتعتبر العدادات المتزامنة حل مباشر لمحدودية العدادات غير المتزامنة حيث إن زمن تأخير الانتشار لها صغير، وذلك نتيجة لأن جميع دوائر القلابات التي يتكون منها العداد يتم تنشيطها جميعاً مع كل نبضة تزامن، وهذا يعني أن كل دوائر القلابات سوف تغير حالتها في نفس الوقت، وبالتالي فإن زمن تأخير الانتشار للعداد يساوي زمن تأخير الانتشار لدائرة قلابة واحدة.

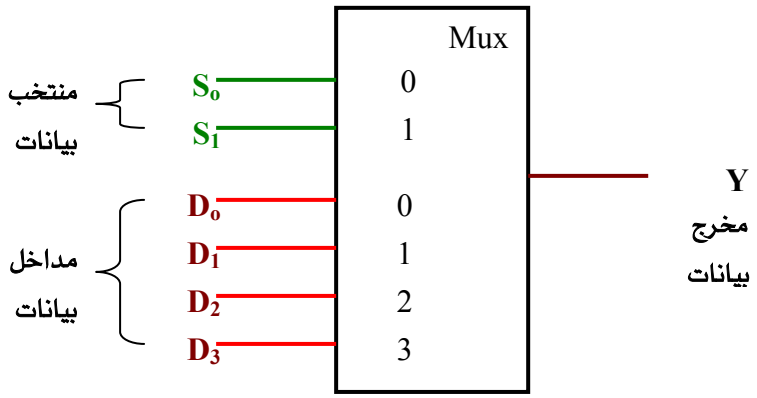
في الحقيقة يجب أن نأخذ في الاعتبار الوقت اللازم لانتقال النبضات من المخارج حتى تصل إلى المداخل من خلال البوابات. وبأخذ هذين العاملين في اعتبارنا يمكننا الوصول إلى الصيغة العامة لحساب زمن التأخير للعدادات التزامنية وهي:

$$t_p = \text{Single (flip-flop) } t_p + \text{Single (AND-gate) } t_p$$

## ٤- ٤ وحدات التعدد ( منتخبات البيانات ) Multiplexers (Data Selectors)

وحدة التعدد عبارة عن جهاز يوجه المعلومات الرقمية المأخوذة من عدة مصادر لنقلها على خط نقل واحد إلى الوجهة المقصودة. وحدة التعدد الأساسية لها عدة خطوط دخل وخط خرج واحد ولها أيضاً مداخل اختيار بيانات والتي تسمح للبيانات الرقمية على أي من خطوط الدخل لتفتح على خط الخرج ومن هذا المنطلق يمكن أن نطلق عليها أيضاً منتخبات البيانات.

الشكل(٤- ٢٤) يبين الرمز المنطقي لوحدة تعدد لها أربعة خطوط بيانات دخل وخطا اختيار بيانات.




**الشكل(٤- ٢٤) يبين وحدة تعدد ٤× ١**

تواجد الشفرة الثنائية في الالشكل(٤- ٢٤) على دخول منتخب البيانات S سوف يمكن البيانات المختارة على الدخل من المرور إلى الخرج، فإذا تم تطبيق الرقم الثنائي 0 ($S_1 = 0, S_0 = 0$) على خطوط منتخب البيانات فإن بيانات الدخل $D_0$ تظهر على خط خرج البيانات، وإذا تم تطبيق الرقم الثنائي1 ($S_1=0,S_0=1$) فإن بيانات الدخل $D_1$ تظهر على خط خرج البيانات، وإذا تم تطبيق الرقم الثنائي2 ($S_1=1, S_0=0$) فإن بيانات الدخل $D_2$ تظهر على خط خرج البيانات، ، وأخيراً إذا تم تطبيق الرقم الثنائي3 ($S_1=1, S_0=0$) فإن بيانات الدخل $D_3$ تظهر على خط خرج البيانات، ويمكن تلخيص ذلك في الجدول(٤- ١٠).

التعبير المنطقي لخرج وحدة التعدد الشكل(٤- ٢٤) يمكن أن يستنتج من خلال بيانات الدخل والمداخل المختارة كما يلي:

- بيانات الخرج تساوي $D_0$ فقط عندما تكون $S_1 = 0, S_0 = 0$

وبالتالي فإن: $Y = D_0 \bar{S}_1 \bar{S}_0$

- بيانات الخرج تساوي $D_1$ فقط عندما تكون $S_1 = 0, S_0 = 1$

وبالتالي فإن: $Y = D_1 \bar{S}_1 S_0$

- بيانات الخرج تساوي $D_2$ فقط عندما تكون $S_1 = 1, S_0 = 0$

وبالتالي فإن: $Y = D_1 S_1 \bar{S}_0$

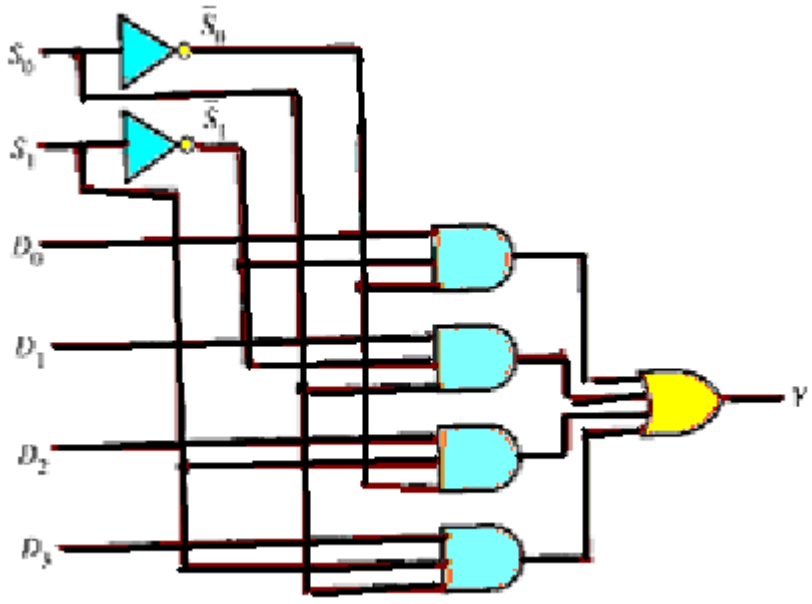
- بيانات الخرج تساوي $D_3$ فقط عندما تكون $S_1 = 1, S_0 = 1$

وبالتالي فإن: $Y = D_1 S_1 S_0$

ويمكن التعبير عن الخرج الكلي لبيانات الخرج كما يأتي:

$$Y = D_0 \bar{S}_1 \bar{S}_0 + D_1 \bar{S}_1 S_0 + D_2 S_1 \bar{S}_0 + D_3 S_1 S_0$$

ويمكن التعبير عن هذه المعادلة ببناء دائرة منطقية تحتوي على أربع بوابات AND ثلاثية المداخل وبوابة واحدة OR بأربعة مداخل وعاكسين لتوليد المكملات لكل من $S_0$ ,$S_1$ كما بالالشكل(٤- ٢٥) وتسمى هذه الدائرة بمنتخب البيانات.

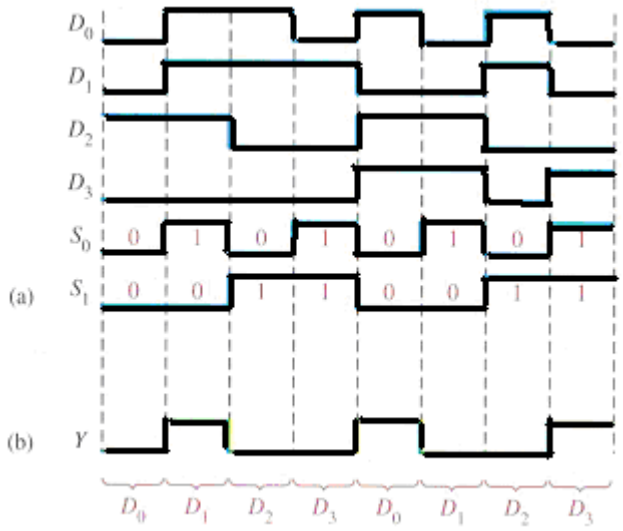



**الشكل(٤- ٢٥) الالشكل المنطقي لوحدة تعدد بأربعة مداخل**

**مثال ٤- ٦** الأشكال الموجية لبيانات المداخل ومنتخب البيانات الموضحة بالشكل(٤- ٢٦) تم تطبيقها على وحدة التعدد المبينة بالشكل(٤- ٢٥). أوجد الالشكل الموجي للخرج كعلاقة مع المدخلات.

## الحـــل

الالشكل(٤- ٢٦) يبين علاقة الالشكل الموجي للخرج مع مدخلات وحدة التعدد.

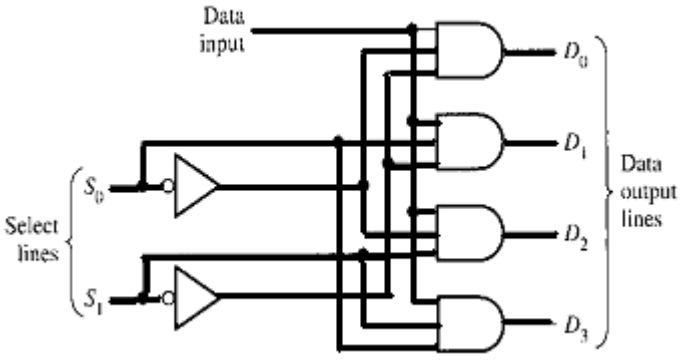



**الشكل(٤- ٢٦) يوضح الأشكال الموجية لدخل وخرج وحدة التعدد**

### ٤- ٥ وحدات فك التعدد Demultiplexers

وحدة فك التعدد تعكس دالة التعدد حيث يتم أخذ المعلومة الرقمية من خط دخل واحد ويتم توزيعها إلى عدد من خطوط الخرج ولهذا تسمى هذه الوحدة بموزع البيانات(Data subscriber) .

الشكل(٤- ٢٧) يوضح تركيب دائرة وحدة فك التعدد بدخل واحد وأربعة مخارج حيث يذهب خط بيانات الدخل إلى جميع بوابات AND. منتخب البيانات ذو الخطين يمكن بوابة واحدة فقط من العمل والبيانات الظاهرة على خط دخل البيانات سوف تمر خلال البوابة المختارة إلى خط خرج البيانات المصاحب.

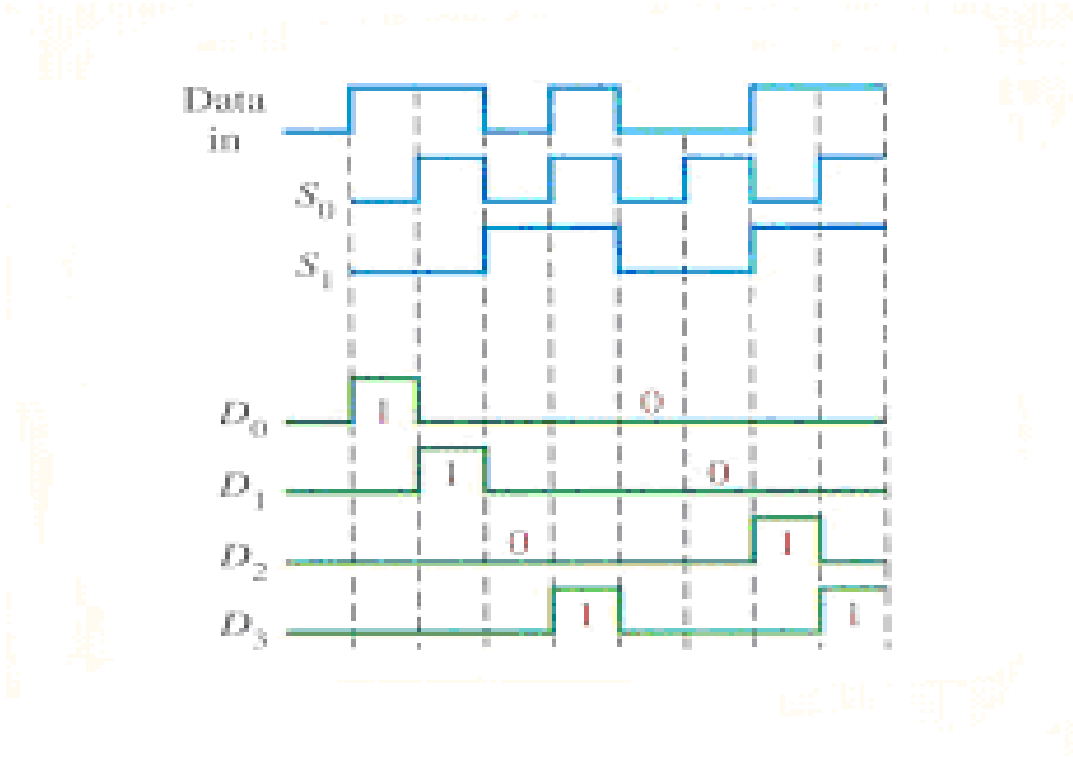



**الشكل(٤- ٢٧) يبين دائرة وحدة فك التعدد**

**مثال ٤- ٧**: الشكل(٤- ٢٨) يوضح الالشكل الموجي لدخل البيانات بالتوالي (Data in) ومداخل منتخب البيانات($S_1$, $S_0$). أوجد الأشكال الموجية لخرج البيانات $D_0$, $D_1$, $D_2$, $D_3$ لوحدة فك التعدد بالشكل(٤- ٢٨).

## الحـــــل

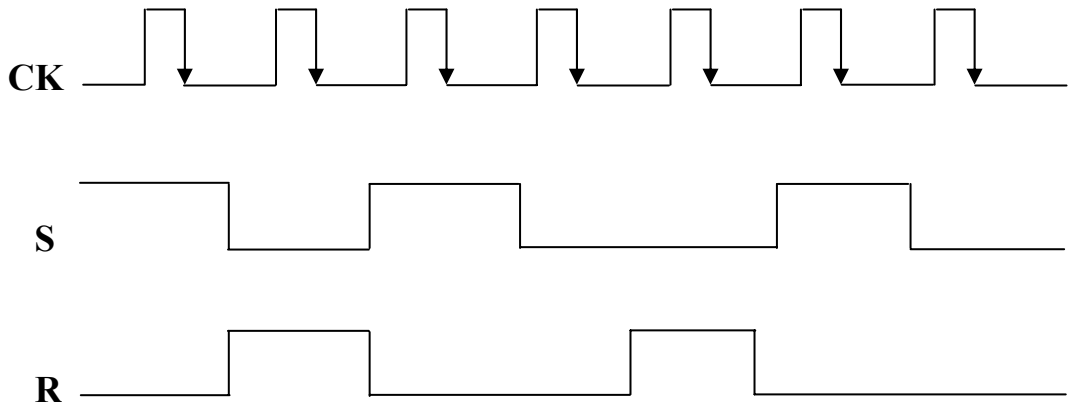
لاحظ أن الخطوط المختارة تذهب من خلال الترتيب الثنائي ولهذا كل بيت دخل توجه بالتتابع إلى D3, D2, D1, D0 بالترتيب كما بالشكل(٤- ٢٨)



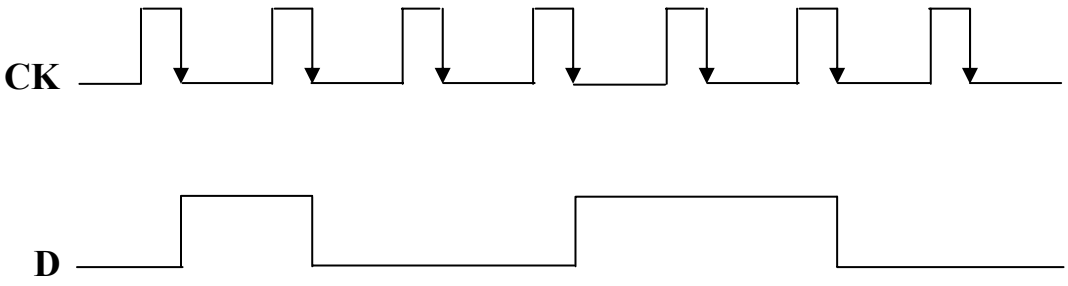

**الشكل(٤- ٢٨) يوضح الأشكال الموجية لدخل وخرج وحدة فك التعدد**

# تدريبـــات على الوحدة الرابعة

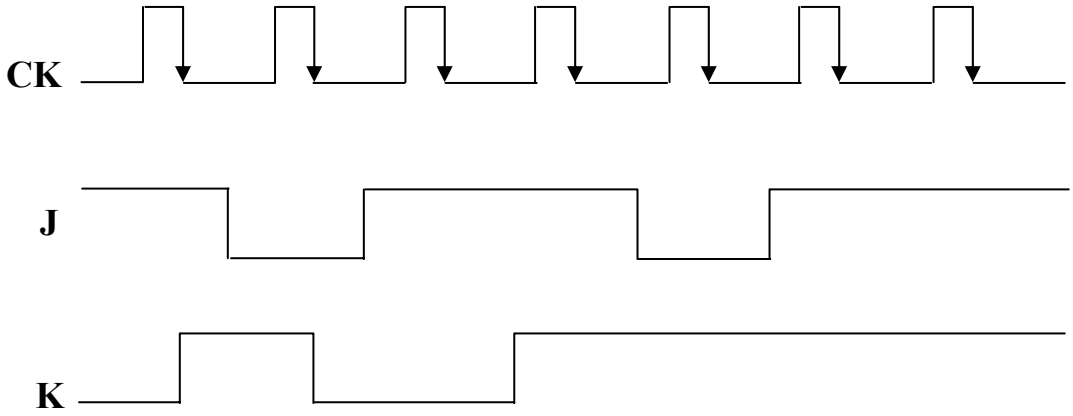
(٤- ١) ارسم الشكل نبضات الخرج (Q) لدائرة القلاب S-R والتي يتغير الخرج لها عند الحافة السالبة لنبضات التزامن (negative edge trigger) إذا كان الشكل نبضات الدخل كما هو موضح بالالشكل. افترض أن دائرة القلاب تعطي خرجاً Q=0 قبل وصول أول نبضة من نبضات التزامن.



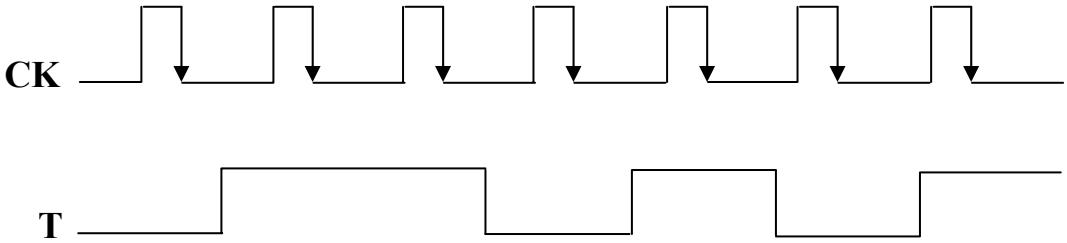

(٤- ٢) ارسم الشكل نبضات الخرج (Q) لدائرة القلاب من النوع D والتي يتغير الخرج لها عند الحافة الموجبة لنبضات التزامن (positive edge trigger) إذا كان الشكل نبضات الدخل كما هو موضح بالالشكل. افترض أن دائرة القلاب تعطي خرجاً Q=0 قبل وصول أول نبضة من نبضات التزامن.




(٤- ٣) ارسم الشكل نبضات الخرج (Q) لدائرة القلاب JK والتي يتغير الخرج لها عند الحافة السالبة لنبضات التزامن (negative edge trigger) إذا كان الشكل نبضات الدخل كما هو موضح بالالشكل. افترض أن دائرة القلاب تعطي خرجاً Q=0 قبل وصول أول نبضة من نبضات التزامن.




(٤- ٤) ارسم الشكل نبضات الخرج (Q) لدائرة القلاب من النوع T والتي يتغير الخرج لها عند الحافة السالبة لنبضات التزامن (negative edge trigger) إذا كان الشكل نبضات الدخل كما هو موضح بالالشكل. افترض أن دائرة القلاب تعطي خرجاً Q=0 قبل وصول أول نبضة من نبضات التزامن.




.

(٤- ٦) في الالشكل(٤- ٢٥) إذا كانت $D_0=1,\ D_1=0,\ D_2=1,\ D_3=0,\ S_0=1,\ S_1=0$ فأوجد قيمة الخرج.

# الدوائر المنطقية والمعالجات الدقيقة

## مقدمة للحاسب الدقيق

## الوحدة الخامسة : مقدمة للحاسب الدقيق

**الجدارة :** التعرف على المفاهيم الأساسية للحاسب الدقيق ومكوناته الأساسية.

**الأهداف : أن** يتعرف المتدرب بإذن الله على الموضوعات التالية :

١. مفاهيم الحاسب والمعالج الدقيق والمكونات الأساسية لكل منهما.

٢. هيئة البيانات الرقمية القياسية

**مستوى الأداء المطلوب :** أن يصل المتدرب إلى إتقان الجدارة ٨٠٪.

**الوقت المتوقع للتدرب على الجدارة :** ٣ ساعات

**الوسائل المساعدة :**

- السبورة
- استخدام برنامج Power point لعرض المحاضرات باستخدام جهاز عرض البيانات.

**متطلبات الجدارة :** أن يكون المتدرب ملماً بالدوائر المنطقية ونظم الأعداد المختلفة.

## ٥- ١ مفاهيم للحاسب الدقيق و المعالج الدقيق

### ٥- ١- ١ أسباب ظهور المعالج الدقيق

نتيجة التطور السريع في تقنيات التصنيع للدوائر المتكاملة وخصوصاً الرقمية منها وكذلك الدوائر الواسعة المقياس وذات المقياس الواسع جداً فقد تمكنت الصناعة بفضل هذه التقنية من تصنيع الآلاف من العناصر الإلكترونية على شريحة واحدة مساحتها لا تتعدى عدة مليمترات مربعة مما أحدث ثورة في عالم الحاسبات الشخصية التي تعتمد في تصميمها على الدوائر المتكاملة مما أدي بالتالي إلى ظهور المعالجات الدقيقة التي تعتبر كدائرة متكاملة رقمية واسعة المقياس وواسعة جداً يمكن أن تبرمج بواسطة سلسلة من الأوامرِ لأداء الوظائفِ المحدّدةِ على البياناتِ.

### ٥- ١- ٢ مفاهيم الحاسب الأساسية

#### ٥- ١- ٢- ١ تطور الحاسب

منذ عام ١٩٧١ والمعالجات الدقيقة هي المسيطرة على التطور في مجال الحاسبات، فقبل المعالج الدقيقِ، كانت الحاسبات عالمياً كبيرة جداً ، وغالية جداً بحيث لا يمكن تملكها بواسطة الأفراد. في عام ١٩٨١م تمكنت شركة IBM من إدخال كمبيوتر صغير للأسواق يعتمد على المعالج الدقيق Intel 8088 وهذه الأيام أصبح المعالج الدقيق هو حصان الشغل للحاسبات سواء في الصناعة أو الأعمال وكذلك الحاسبات الشخصية.

#### ٥- ١- ٢- ٢ العناصر الأساسية للحاسب

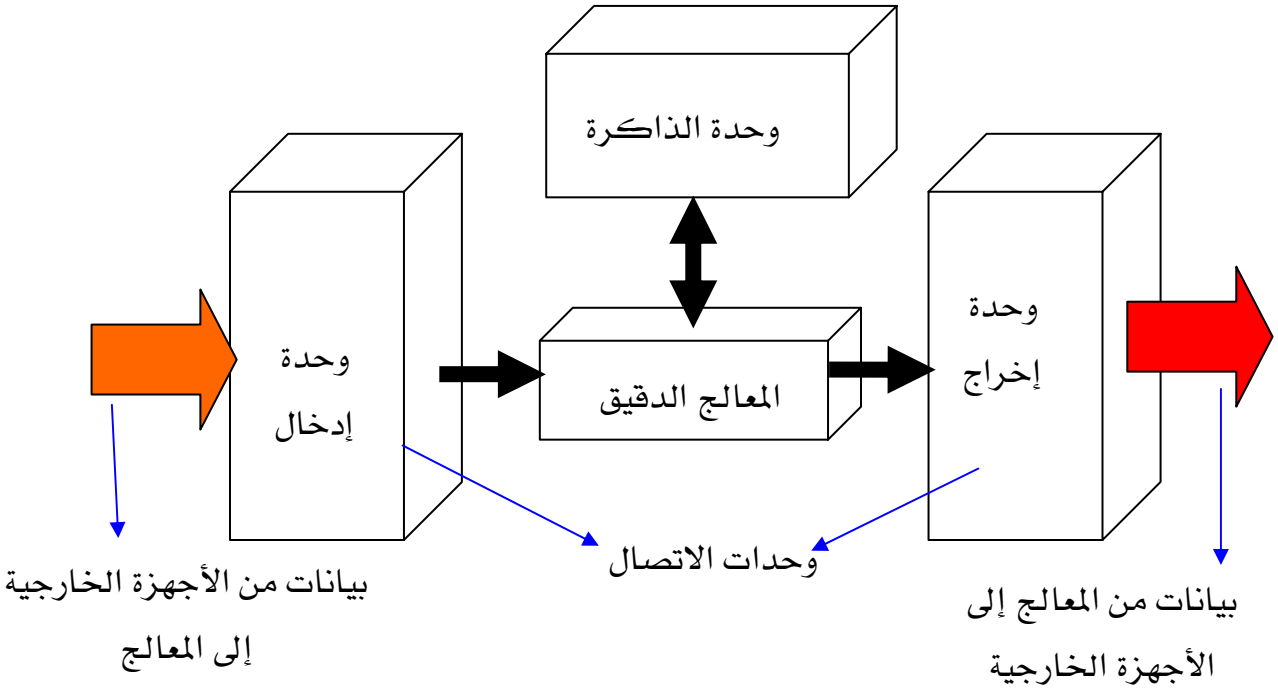
كل نظم الحاسبات تتكون من العناصر الأساسية وهي وحدة المعالجة المركزية(CPU) والذاكرة وطرفيات الدخل والخرج تتصل مع بعضها البعض من خلال ثلاثة نوا قل داخلية وهي ناقل البيانات وناقل العنوان وناقل التحكم. أجهزة الدخل والخرج توصل من خلال طرفيات الدخل والخرج.

### ٥- ١- ٣ المعالج الدقيق

يستعمل المعالج الدقيق لأنه:

- قادر على القيام بعدة وظائف حيث إنه قابل للبرمجة ويمكن أن ينفذ مجموعة من الأوامر المتغيرة.

- له القدرة على الاستخدام في ميادين كثيرة و ذلك بتوصيله مع أجهزة مختلفة الأداء عن طريق وحدات الاتصال.



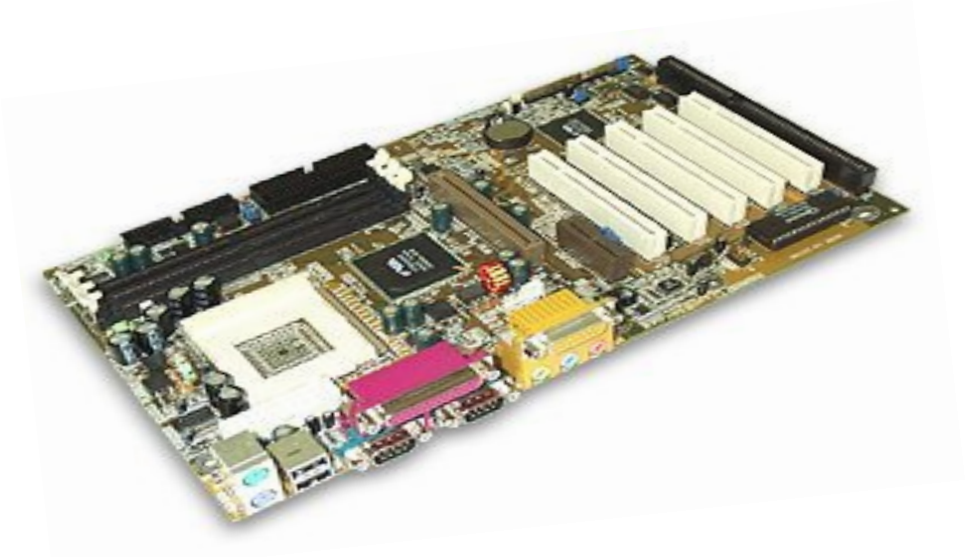

الشكل (٥- ١) استعمال المعالج الدقيق

عملية تشغيل المعالج الدقيق تتركز على استقبال بيانات عن طريق وحدة الدخل ثم معالجتها و إرسالها بعد ذلك عن طريق وحدة الخرج كما هو موضح بالشكل(٥- ١)، المعالجة تتم حسب تعليمات متتالية يطلق عليها اسم البرنامج مخزنة داخل وحدة الذاكرة.

الحاسب الدقيق هو المعالج الدقيق بالشكل أو بآخر، فالحاسب الدقيق يتكون أساساً من وحدة ذاكرة، ووحدة إدخال و إخراج المعلومات، بالإضافة إلى المعالج الدقيق نفسه والالشكل(٥- ٢) يوضح صورة حقيقية للحاسب الدقيق.

الشكل(٥- ٢):صورة حاسب دقيق حقيقي

اللوحة الأم الشكل(٥- ٣) تشمل جميع دوائر الإسناد الضرورية لعمل المعالج من ذاكرة و وحدات إدخال/إخراج،زيادة على ذلك دوائر وحدات التعدد (Multiplexers) و بوابات منطقية ( Logic Gates) و ميقات (Clock) و تغذية (Power Supply).

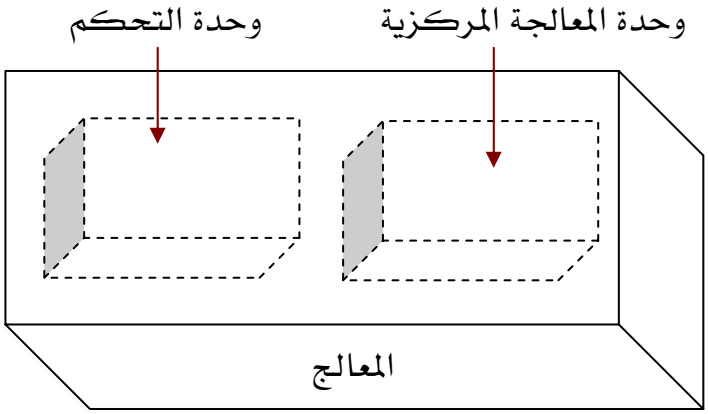


الشكل (٥- ٣)صورة اللوحة الأم (motherboard)

### ٥- ١- ٣- ١ نظام المعالج الدقيق

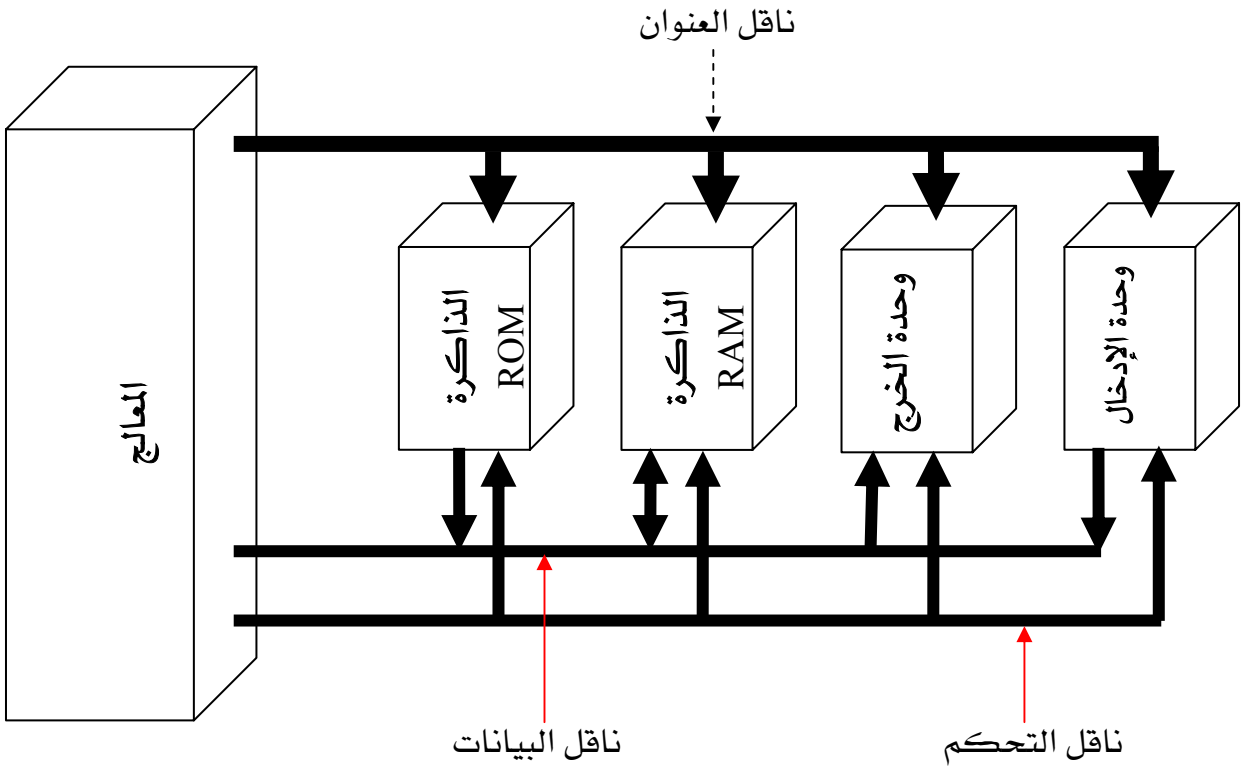
المعالج الدقيق كقطعة إلكترونية غير قادر على القيام بأي وظيفة، فتشغيله مرتبط باستعمال:

- ذاكرة القراءة فقط (ROM : Read Only Memory)، وهي ذاكرة قابلة للقراءة فقط، و تستعمل لتخزين البرنامج الدائم الذي سيتبعه المعالج.والبرمجة تكون خارجية من طرف المستعمل.
- ذاكرة الوصول العشوائية (RAM : Random Access Memory)، وهي ذاكرة قابلة للقراءة و الكتابة، وتستعمل من طرف المعالج لتخزين بيانات مؤقتة غير دائمة.
- وحدة إدخال (Input unit): تستعمل من طرف المعالج للحصول على بيانات من الأجهزة الخارجية الموصلة مع هذه الوحدة.
- وحدة الخرج (Output unit) : تستعمل من طرف المعالج لإرسال بيانات نحو الأجهزة الخارجية الموصلة مع هذه الوحدة.
- وحدة المعالجة المركزية (CPU: Central Processing Unit) و وحدة التحكم ( CU: Control Unit) كما هو موضح بالشكل(٥- ٤) وهما وحدتان داخليتان للمعالج يتم بهما تطبيق كل تعليمات البرنامج.




الشكل(٥ - ٤): وحدة المعالجة المركزية و وحدة التحكم للمعالج.

المعالج الدقيق البسيط يمكن توضيحه كما في الالشكل(٥- ٥):




الشكل(٥- ٥ ): توصيل المعالج بالوحدات المختلفة

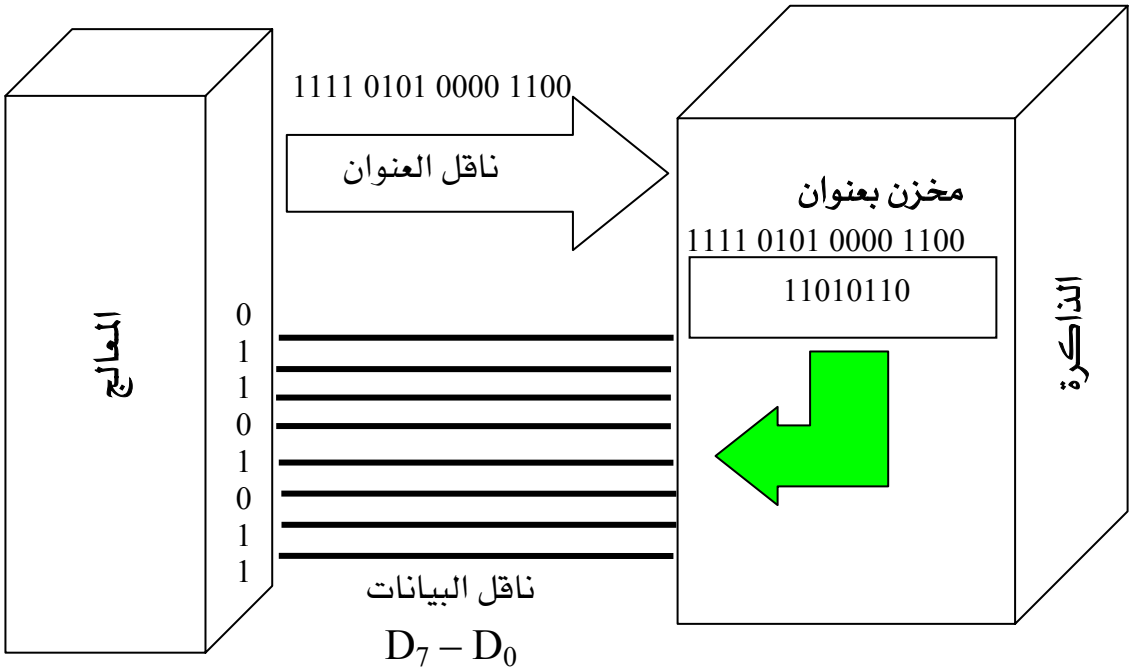
**الناقل** (Bus): مجموعة من الأسلاك الكهربية تنقل قيمة الجهد على كل سلك 0v أو 5v (أو حالة منطقية 0 أو1).

**ناقل البيانات** (Data Bus): عبارة عن مجموعة من الأسلاك لنقل البيانات من المعالج نحو الوحدات أو العكس.وهذا الناقل ذو اتجاهين، وعدد الأسلاك يتغير حسب المعالج المستعمل(64/32/16/8 ) وحدات رقمية(Bit))، و يرمز لهذه الأسلاك $D_7\ D_6\ D_5\ D_4\ D_3\ D_2\ D_1\ D_0$ إذا كان المعالج يستعمل 8 أسلاك.

**ناقل العنوان** (Address Bus) : الذاكرة تتكوّن من مجموعة مخازن، لكل مخزن عنوان.فمثلاً إذا أراد المعالج أن يقرأ محتوى مخزناً في الذاكرة فعليه أن يعينها(عنوان المخزن يوضع على ناقل العنوان) حينئذ محتوى المخزن سينقل من الذاكرة إلى المعالج عبر ناقل البيانات.

ويرمز لهذه الأسلاك $A_0\ A_1\ A_2.....A_{13}\ A_{14}\ A_{15}$ لناقل عنوان ذي 16 سلك وإشارات ناقل العنوان ذي اتجاه واحد من المعالج نحو الوحدات.

**مثال** : الالشكل(٥- ٦) يوضح كيفية نقل البيانات من الذاكرة إلى المعالج.




الشكل (٥- ٦): طريقة نقل البيانات من الذاكرة نحو المعالج

**ناقل التحكم** (Control Bus): يتكون هذا الناقل من مجموعة من الأسلاك دورها القيام بضبط الأحداث بطريقة تزامنية والتحكم كذلك في وحدات الذاكرة و وحدات الإدخال و الإخراج من طرف المعالج.

ففي المثال السابق تستجيب الذاكرة لطلب المعالج في ظرف زمني معين لتجهيز البيانات على ناقل البيانات، ولهذا الغرض فالمعالج له إشارة القراءة (RD) و كذلك إشارة الكتابة(WR)،وهذه الإشارات و أخرى تابعة لناقل التحكم.

تستعمل الرموز الآتية للتحكم في القراءة والكتابة:

| الرمز | الاستعمال |
|---|---|
| MEMR | القراءة من الذاكرة (كانت RAM أو ROM) |
| MEMW | الكتابة في الذاكرة (RAM |
| IOR | القراءة من وحدة الإدخال |
| IOW | الكتابة في وحدة الإخراج |

## ٥- ٢ هيئة البيانات الرقمية القياسية

المعالجات الدقيقة تعتمد في عملها لنقل المعلومات (بيانات أو تعليمات) على كلمة(Word) التي تتكون من 32/16/8/ 64 وحدة رقمية(Bit) حسب المعالج المستعمل، .وبالنسبة للمعالج ذي 8 وحدات رقمية هذه الكلمة تسمى "بايت"(Byte)، والأنظمة الرقمية المستعملة لتمثيل المعلومات هي:

- النظام الثنائي العشري (Binary Coded Decimal).
- النظام السداسي العشري

تم شرح هذه الأنظمة لتمثيل المعلومات في الوحدة الأولى. وتعتمد دراسة المعالج الدقيق كذلك على قوانين التحويل من النظام العشري بصيغة الثنائي إلى النظام السداسي العشري.

# تدريبات على الوحدة الخامسة

(٥- ١) حوّل من الترقيم السداسي العشرة إلى الترقيم الثنائي البيانات التالية :
0111H – A01FH – ABCDH – 9812H – 7FE3H – 54H – 69H – A3H – EFH

(٥- ٢) عرّف الخطأ في الحالات الآتيات:
0124H-ABCDH-123H-011GH-119H-1FH-0000F-BBEEH-0ABCF-45EFH-ABFH-1235H

(٥- ٣) اذكر الوحدات الأساسية التي تستعمل مع المعالج.

(٥- ٤) ضع علامة X على المصطلح الخطأ :
RAM/ROM تستعمل لتخزين دائم للبيانات و البرامج.
RAM/ROM تستعمل لتخزين مؤقت للبيانات.

(٥- ٥) اذكر النواقل المستعملة من طرف المعالج و وضح اتجاه المعلومات على هذه النواقل من المعالج نحو الوحدات و من الوحدات نحو المعالج.

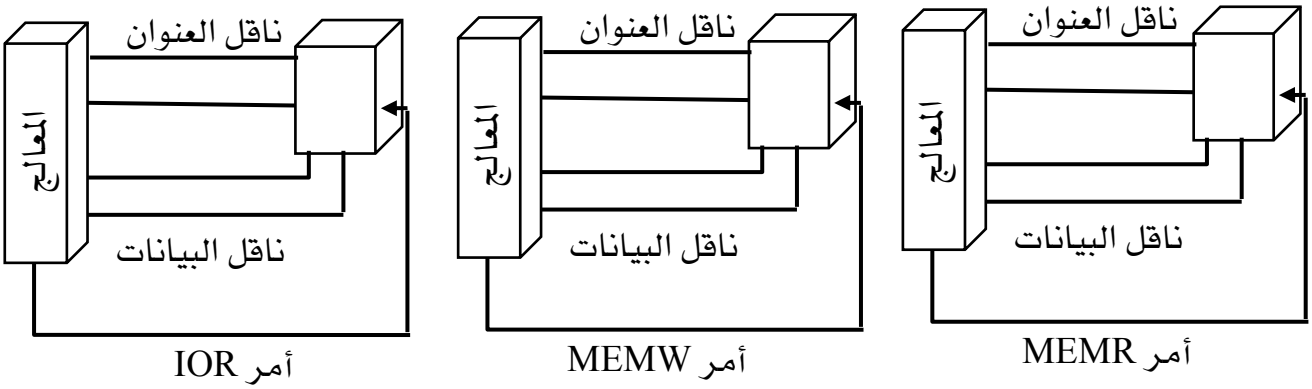
(٥- ٦) إشارات أوامر القراءة (أو الكتابة) من الذاكرة (في الذاكرة) موّلدة من طرف المعالج :
صح أم خطأ؟ إلى أي ناقل تنتمي هذه الأوامر؟

(٥- ٧) عرف الوحدات الداخلية للمعالج.

(٥- ٨) باستعمال قائمة الوحدات المعطاة اذكر الأدوار التي تقوم بها الوحدات الآتية:
وحدة الحساب و المنطق، والذاكرة، وحدة الدخل، وحدة الخرج، ناقل البيانات، ناقل العنوان، ناقل التحكم.

أ- مصدر للبيانات و التعليمات
ب- تستقبل بيانات من المعالج
ج- تخّزن بيانات و برامج
د- محل الحسابات
و- ينقل التعليمات
هـ- ينقل البيانات بين الوحدات
ي- تتحكم في كل العمليات
ن- تستقبل بيانات من أجهزة خارجية

(٥- ٩) استعمل أسهماً لرسم اتجاه الإشارات في الحالات الآتية:




اذكر في كل حالة اسم الوحدة المستعملة.

# الدوائر المنطقية والمعالجات الدقيقة

## مواجهات الدخل والخرج

## الوحدة السادسة : مواجهات الدخل والخرج

**الجدارة :** التعرف على مواجهات الدخل والخرج.

**الأهداف :** أن يتعرف المتدرب بإذن الله على الموضوعات التالية:

١. خصائص وحدات الإدخال/الإخراج.
٢. طرق نقل البيانات.
٣. تعريف الذاكرة.
٤. النقل الخارجي للذاكرة.
٥. خريطة الذاكرة.
٦. وحدة فك الشفرة الثنائي.
٧. مراحل القراءة والكتابة
٨. إمكانيات الاتصال بين المعالج و الوحدات في نقل البيانات

**مستوى الأداء المطلوب :** أن يصل المتدرب إلى إتقان الجدارة ٨٠٪.

**الوقت المتوقع للتدرب على الجدارة:** ٤ ساعات

**الوسائل المساعدة:**

- السبورة
- استخدام برنامج Power point لعرض المحاضرات باستخدام جهاز عرض البيانات.

**متطلبات الجدارة:** أن يكون المتدرب ملماً بالدوائر المنطقية ونظم الأعداد المختلفة ومكونات كل من الحاسب والمعالج الدقيق.

## خصائص وحدات الإدخال/الآخراج

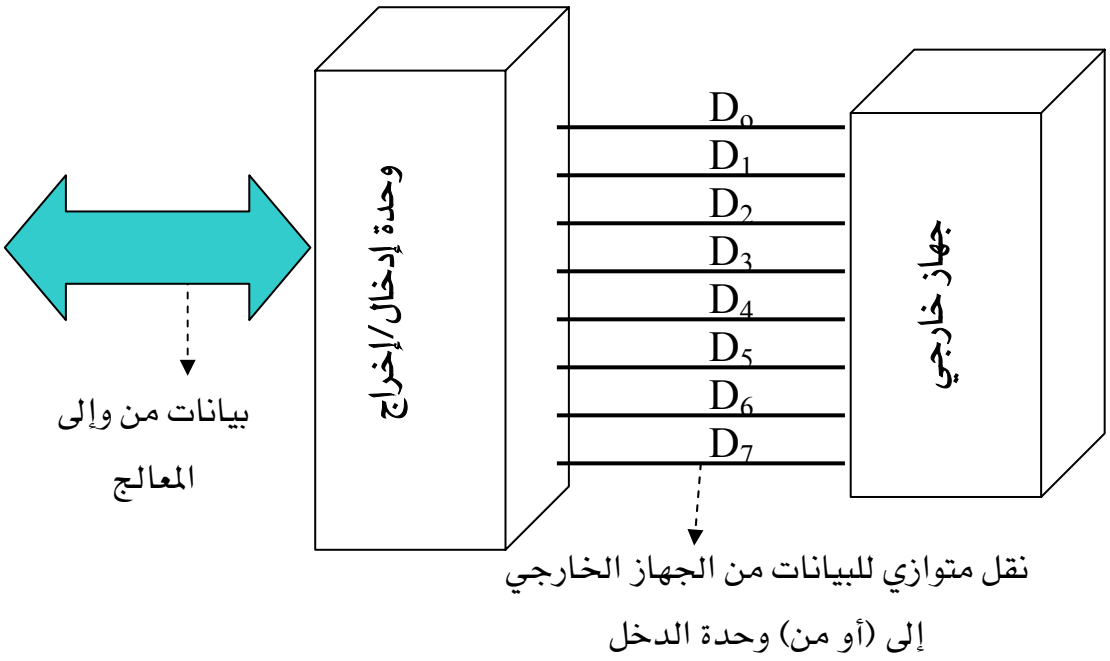
المعالج يرتبط عموماً بالأجهزة الخارجية عبر مواجهات الدخل والخرج

### ٦- ١ مواجهة الدخل (Iinput interface)

هذا الجهاز يستعمل من طرف المعالج لقراءة (أو كتابة) البيانات التي ترسل (أو تستقبل) من الأجهزة الخارجية، و يكون هذا النقل (من وحدة الدخل) لهذه البيانات حسب نوعية الإرسال المستعمل من الجهاز الخارجي.

#### ٦- ١- ١ النقل المتوازي Parallel Transmission

وفيه يكون تبادل البيانات بين الوحدة و الجهاز الخارجي على الالشكل التالي :

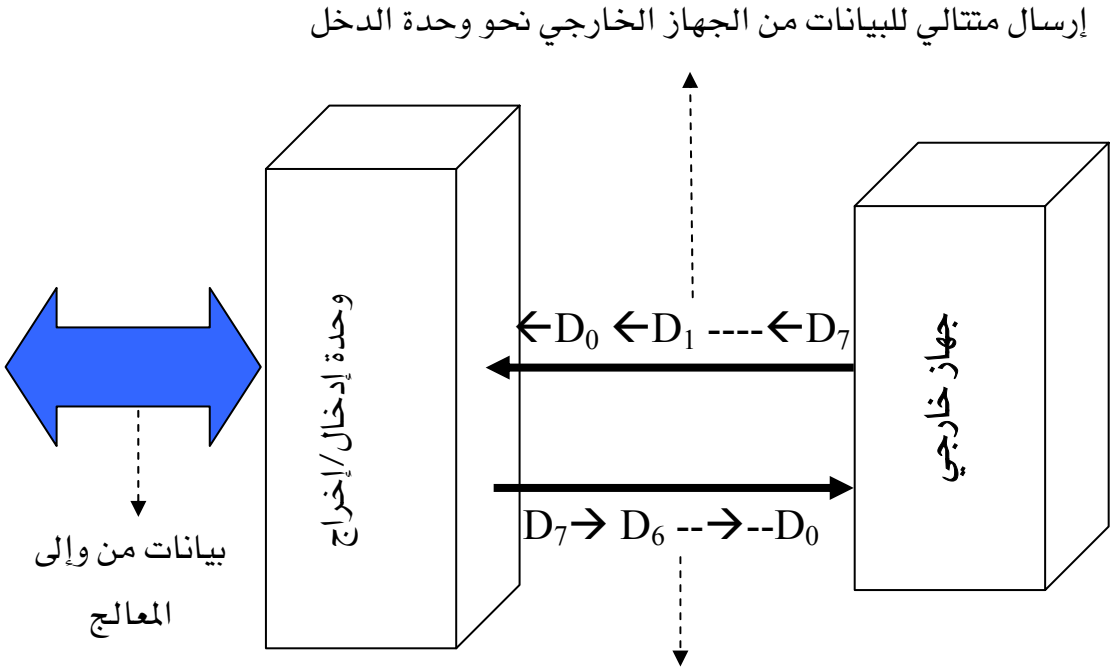



**الشكل (٦- ١): وحدة الدخل ذات نقل متوازٍ**

الجهاز الخارجي يرسل (أو يستقبل) البيانات ( $D_0$ ---- $D_7$ ) في دفعة واحدة إلى (أو من) وحدة الدخل على ثمانية أسلاك متوازية.

٦- ١- ٢ **النقل المتتالي** Series Transmission

في هدا النوع الجهاز الخارجي يستعمل سلكاً واحداً لإرسال(أو استقبال) البيانات من وإلى وحدة الدخل، وتنقل الوحدات الرقمية ( $D_0$ ---- $D_7$ ) الواحدة بعد الأخرى حسب الالشكل(٦- ٢) كالتالي:




**الشكل( ٦- ٢) : وحدة الدخل للنقل المتوالي**

٦- ٢ **مواجهة الخرج** (Output interface)

هو الجهاز الخارجي ويمكن أن يمثل عدة أجهزة من بينها:

٦- ٢- ١ **أجهزة ذات إشارات دخل منطقي/رقمي** : حساس ، وعداد ، .....

٦- ٢- ٢ **أجهزة ذات إشارات دخل تماثلي** : تيار ، وجهد ، وضغط ، وحرارة ، .....

٦- ٢- ٣ **أجهزة ذات إشارات خرج تماثلي** : تحكم لأجهزة نظيري ، ومحرك ، وتيار ، وجهد ، .....

٦- ٢- ٤ **أجهزة الربط بالإنسان** : شاشة العرض للحاسب، طابعة ، و لوحة المفاتيح ، .....

٦- ٢- ٥ **شبكة حواسب**.

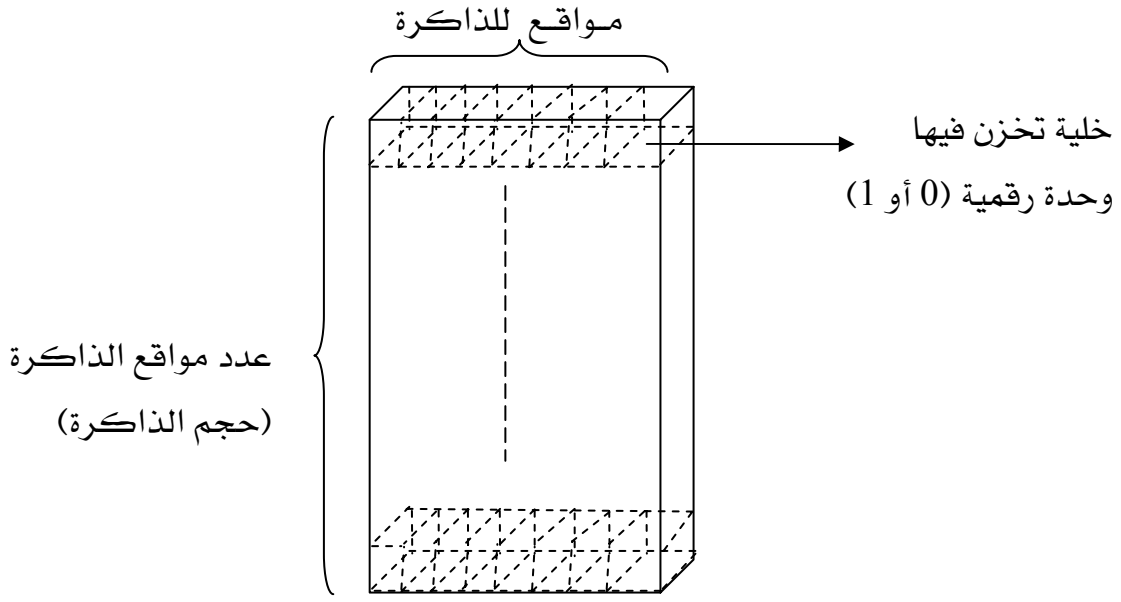
## ٦- ٣ الذاكرة

### ٦- ٣- ١ تعريف الذاكرة

الذاكرة عبارة عن صندوق تتكون من مصفوفة خلايا تخزن فيها وحدات رقمية قيمتها 0 أو 1 ، وكل ثمانية وحدات رقمية تكون مجموعة تسمى كلمة (Word) تخزن في موقع واحد للذاكرة كما يشير الشكل(٦- ٣).

عدد المواقع في الذاكرة يمثل حجم الذاكرة الذي يقاس بـK (كيلو):

$$1K = 2^{10} = 1024$$




**الشكل( ٦- ٣ ): تعريف الذاكرة**

لاحظ أن حجم الذاكرة مرتبط بعدد الأسلاك لناقل العنوان المستعمل (من طرف المعالج) للاتصال.
فإذا كان حجم الذاكرة $2^n$ فعدد الأسلاك لناقل العنوان هو n.

مثال :

| | | | | |
|---|---|---|---|---|
| عدد أسلاك ناقل العنوان | 8 | 10 | 12 | 16 |
| حجم الذاكرة | $2^8$ | $2^{10}$ | $2^{12}$ | $2^{16}$ |
| حجم الذاكرة بالكيلو | | K | $2^2$K | $2^6$K |

## ٦- ٤ النظام الخارجي للذاكرة

### ٦- ٤- ١ توصيل الذاكرات بالنواقل

تتصل الذاكرات بناقل العنوان و ناقل البيانات و ناقل التحكم، وهذه النواقل مشتركة بين كل الذاكرات ( و وحدات إدخال/إخراج كذلك ) للاتصال بالمعالج، واستعمال هذه النواقل تكون من طرف وحدة واحدة فقط عند اتصالها بالمعالج. و لهذا الغرض فالوحدات المستعملة مع المعالج تتوفر على رجل توصيل تسمى رجل الاختيار (Chip Select).

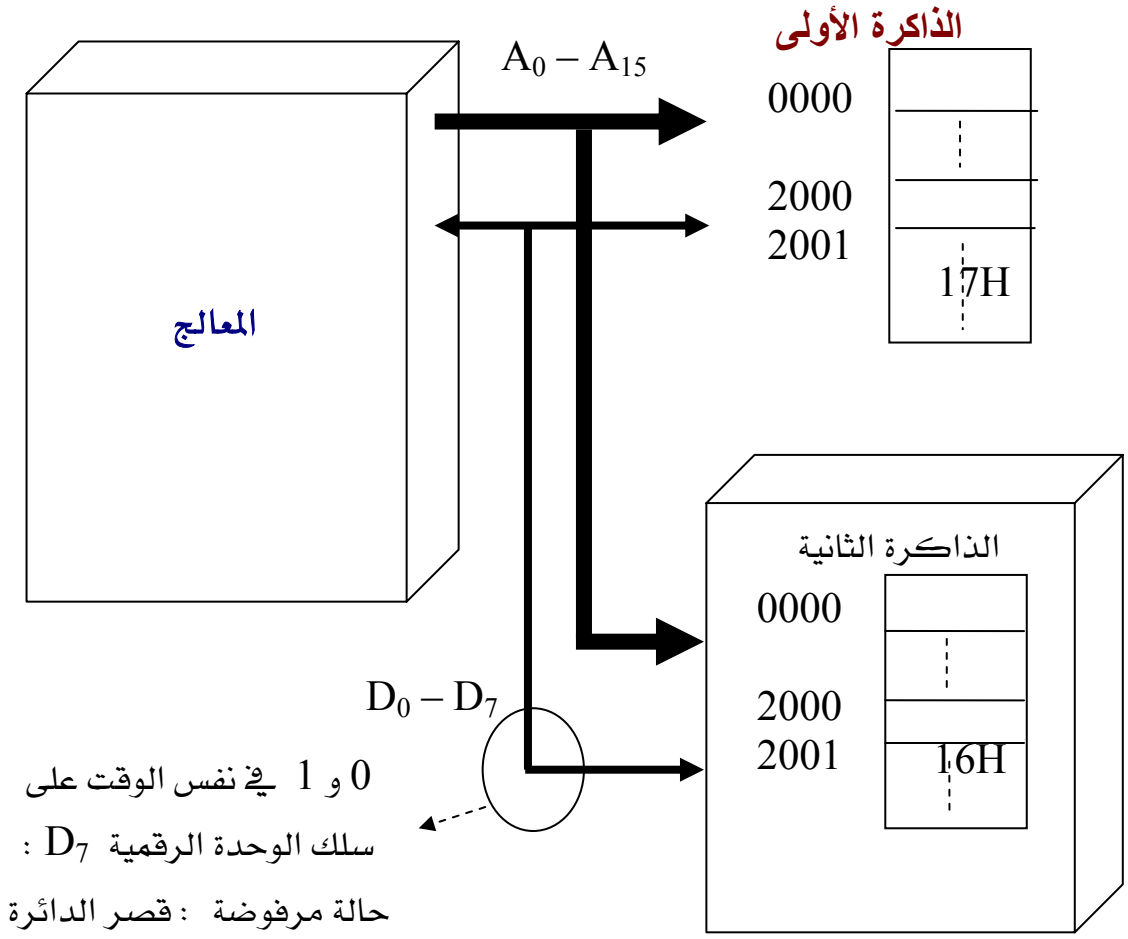
### ٦- ٤- ٢ ضرورة استعمال رجل الاختيار

عندما يكون لدينا معالج في اتصال مع ذاكرتين، وناقل البيانات و ناقل العنوان مشتركين بين كل الوحدات. في الموقع ذي عنوان 2000H الذاكرة الأولى تخزن معلومة بقيمة 17H والذاكرة الثانية تخزن معلومة بقيمة16H.

فإذا قام المعالج بقراءة العنوان 2000H ستكون النتيجة كما يلي:

- الذاكرة الأولى سترسل على ناقل البيانات 10000111H = 17H
- الذاكرة الثانية سترسل على ناقل البيانات 10000110H = 16H

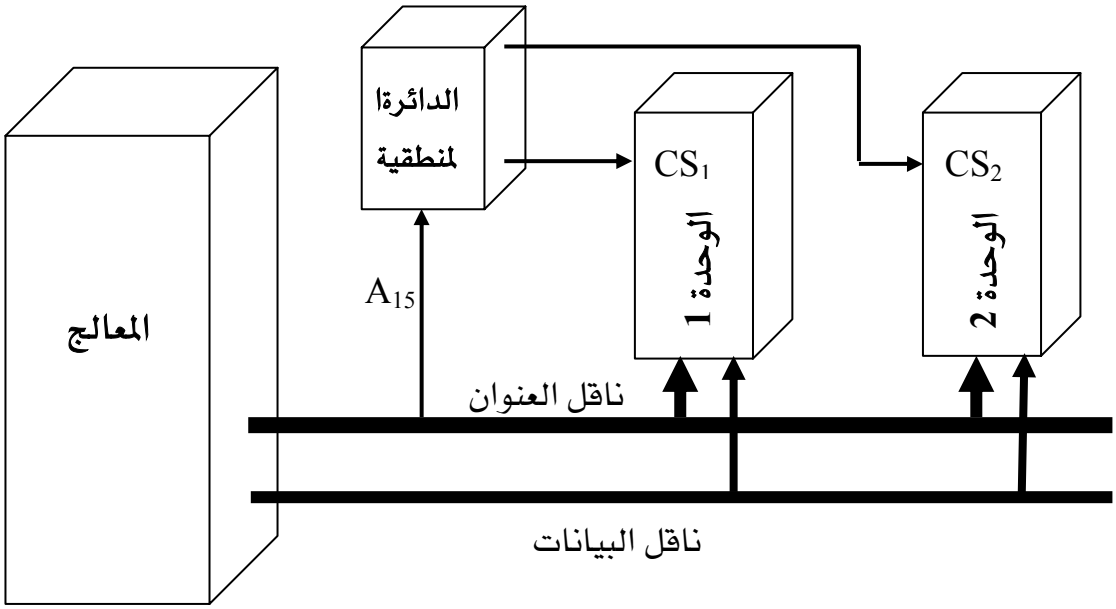
و في هذه الحالة الوحدة الرقمية $D_0$ تمثل على نفس السلك (لناقل البيانات) قيمة 0 و 1 (0 فولت و5 فولت) و نتيجة لذلك يحدث عطل على الناقل و لذا فهذه الحالة مرفوضة (قصر الدائرة) كما هو مبين في الشكل(٦- ٤).




**الشكل (٦- ٤): قصر الدائرة على ناقل البيانات**

### ٦- ٤- ٣ طريقة اختيار وحدة ما للاتصال بالمعالج

ترتكز طريقة اختيار الوحدات للاتصال بالمعالج على استعمال الدوائر المنطقية بعد ناقل العنوان. ولتكملة المثال السابق نضع الوحدة الرقمية $A_{15}$ كإشارة لدخل الدائرة المنطقية، فتستعمل قيمة 0 على هذه الوحدة لاختيار الذاكرة الأولى و قيمة 1 لاختيار الذاكرة الثانية كما هو موضح في الشكل(٦-٥).




**الشكل (٦- ٥): اختيار الوحدات**

النتيجة :

- العنوان المستعمل للاتصال بالذاكرة الأولى يصبح 2000
- العنوان المستعمل للاتصال بالذاكرة الثانية يصبح A000

و من هنا نستنتج أنه لا يمكن للمعالج استعمال نفس العنوان للاتصال بوحدات مختلفة.

## ٦- ٥ خريطة الذاكرة

### ٦- ٥- ١ تعريف خريطة الذاكرة

تتمثل خريطة الذاكرة في العناوين المستعملة من طرف المعالج للاتصال بالوحدات (ذاكرة و وحدات إدخال/إخراج).

يمكن للوحدات أن تستعمل عدة عناوين حيث يطلق مصطلح مجال عنوان الوحدة لتعريف كل هذه العناوين.

وعلى سبيل المثال إذا كان لدينا معالج له ناقل عنوان 16 سلك و 8 أسلاك لناقل البيانات، وكانت ذاكرة القراءة فقط ROM ذات حجم 8K و ذاكرة الوصول العشوائية RAM ذات حجم 2K فيمكن حساب الآتي:

- **مجال عنوان ذاكرة القراءة فقط ROM :**

حجم الذاكرة = $2^3K = 8K = 8x1024 = 8192$ موقع

إذا كان عنوان الموقع الأول لهذه الذاكرة 0000 فعنوان الموقع الأخير يحسب بالطريقة التالية:

تحويل العدد العشري (حجم الذاكرة – 1 ) إلى العدد المناسب في الترقيم السداسي العشري.

(8192 – 1 ) = 8191 - - - > 1FFF

- **مجال عنوان ذاكرة الوصول العشوائية RAM :**

رغم أن عنوان الموقع الأول لهذه الذاكرة غير ممكن أن يكون 0000 ( لا يوجد مجال عنوان مشترك بين الوحدات) فطريقة حساب عناوين المواقع هي نفسها:

بتحويل العدد العشري (حجم الذاكرة – 1 ) إلى العدد المناسب في الترقيم السداسي العشري نحصل على

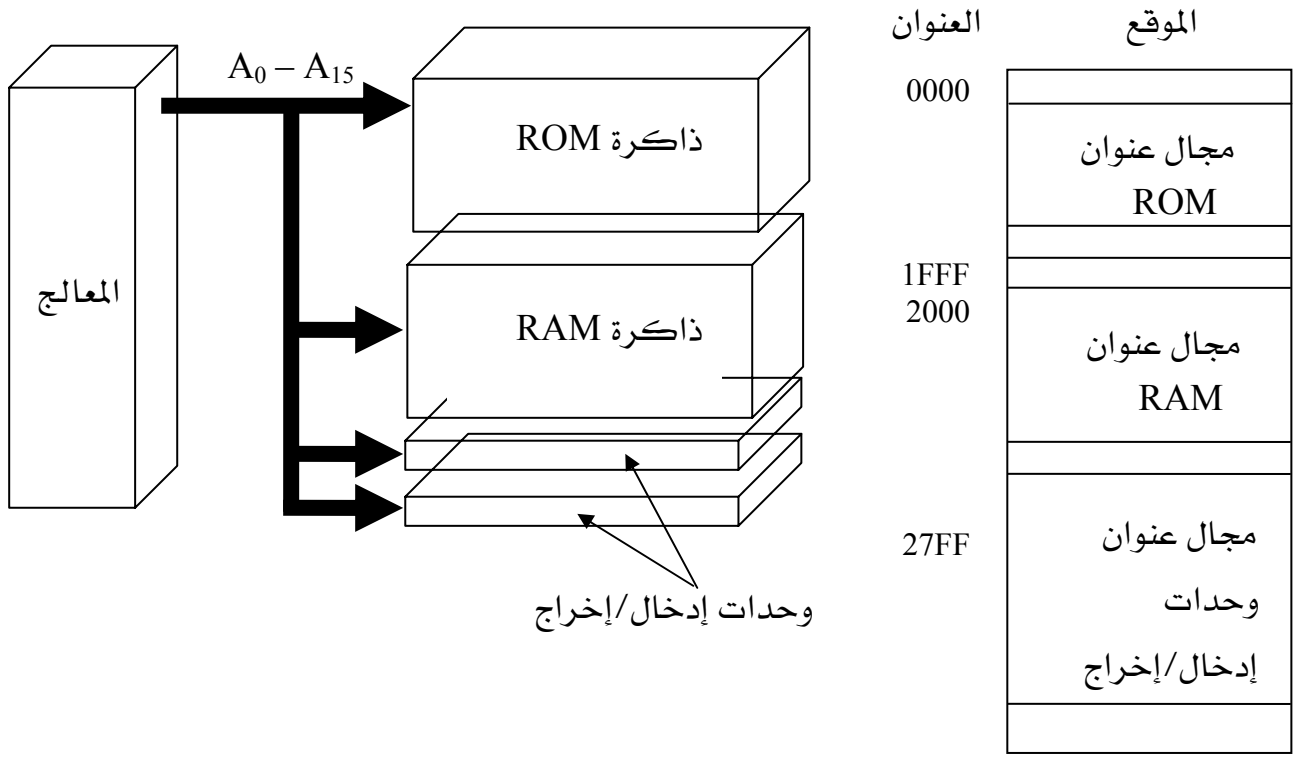
(1 – 2K) = 2047 - - - > 07FF

وتكون خريطة الذاكرة الجزئية كالتالي:

- مجال عنوان ROM من 0000 إلى 1FFF
- مجال عنوان RAM من 2000 إلى (2000 + 07FF) = 27FF (عنوان الموقع الأخير لذاكرة ROM).

لاحظ أن لنا حرية الاختيار بالنسبة لعنوان الموقع الأول لذاكرة RAM (يجب أن يكون خارج مجال عنوان ذاكرة ROM).

باستعمال هذه النتائج يمكننا رسم خريطة الذاكرة لهذا المثال كما هو موضح بالشكل(٦- ٦).

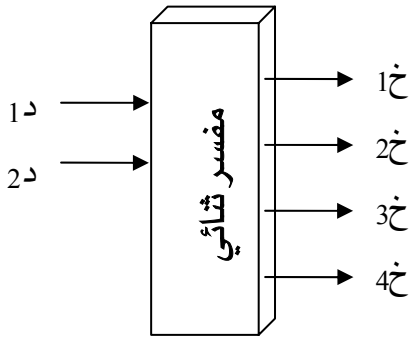



**الشكل (٦- ٦): خريطة الذاكرة**

## ٦- ٦ المفسر الثنائي Binary Decoder

المفسر الثنائي هو عبارة عن دائرة منطقية تستعمل في الاتصال بين المعالج و الوحدات، وبصفة عامة يعتمد تشغيل المفسرالثنائي على قيمة إشارات الخرج حسب قيمة إشارات الدخل والربط الموجود بين هذه الإشارات يحدد من طرف جدول الصواب للمفسر الثنائي.

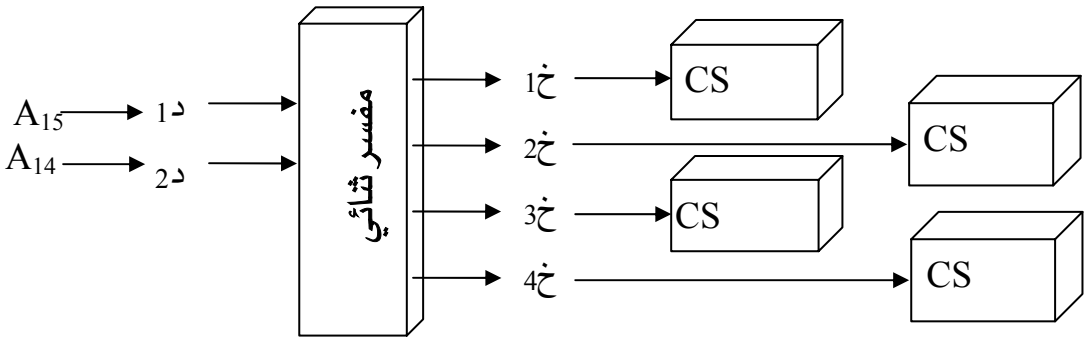
**مثال توضيحي**: مفسر ثنائي له مدخلان و أربعة مخارج (عدد المخارج = $2^{(\text{عدد المداخل})}$) وجدول الصواب يمكن كتابته كما هو موضح بالشكل(٦- ٧)




| د2 | د1 | خ4 | خ3 | خ2 | خ1 |
|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 |

**الشكل(٦- ٧): مفسر ثنائي ذو مدخلين**

إشارات الدخل (د1 و د2 ) وتوصل بأسلاك العنوان ($A_{15}$ و $A_{14}$) و إشارات الخرج (خ1 ، خ2 ،خ3 و خ4 ) توصل بأرجل الاختيار للوحدات كما يشير لذلك الالشكل(٦- ٨).




**الشكل (٦- ٨): توصيل المفسر الثنائي بالمعالج والوحدات**

### ٦- ٧ مراحل القراءة و الكتابة

على كل وحدة (ذاكرة أو وحدات إدخال/إخراج) نجّد أرجل لاستقبال الإشارات :

- أمر بالقراءة (RD : Read)
- أمر بالكتابة (WR : Write)
- إشارة الاختيار(CS: Chip select).

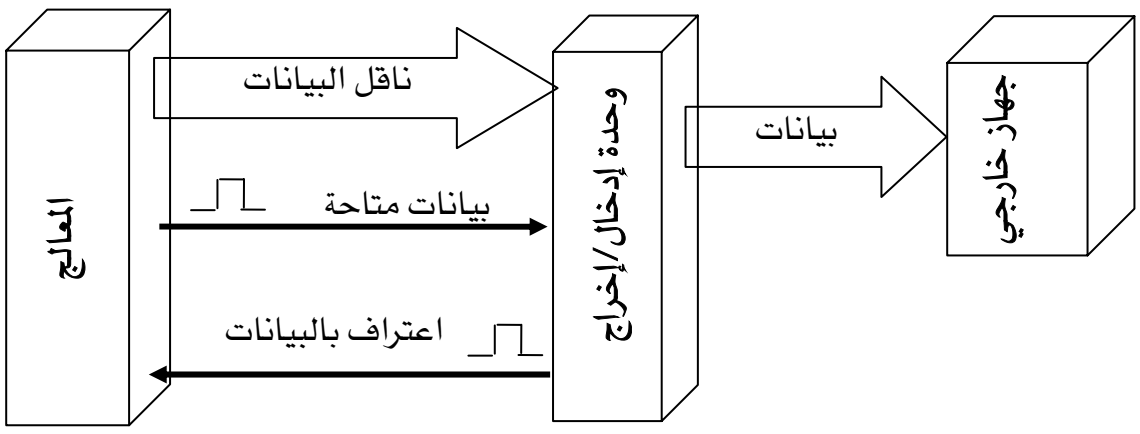
المعالج يتحكم في هذه الإشارات على النمط التالي :

١. يقوم المعالج بتعيين الوحدة المستعملة بوضع العنوان اللازم على ناقل العنوان، ومن هنا يتم اختيار الوحدة كذلك.
٢. يرسل أمر التحكم قراءة أو كتابة (حسب العملية المطلوبة) لتبليغ الوحدة بوضعها البيانات على ناقل البيانات.
٣. كل هذه الإشارات تصدر تبعاً لجبهة الميقات.

### ٦- ٨ إمكانيات الاتصال بين المعالج و الوحدات في نقل البيانات

#### ٦- ٨- ١ إمكانيات الاتصال بين المعالج و وحدات الإدخال/الإخراج

يمكن للمعالج الدقيق أن يستعمل طريقة التحويل المباشر بالمصافحة أو التلبية (Handshaking) في نقل البيانات بينه و بين وحدات الإدخال/الإخراج، وهذه الطريقة تعتمد على استعمال إشارات للتحكم في هدا النقل. وهذا النوع من إشارات التحكم يساعد على ضبط انتقال البيانات بين المعالج و الأجهزة المحيطة. وبصفة عامة يكون الشكل النقل(حالة إرسال) كالتالي :




الشكل (٦- ٩) يوضح طريقة التحويل المباشر بالمصافحة

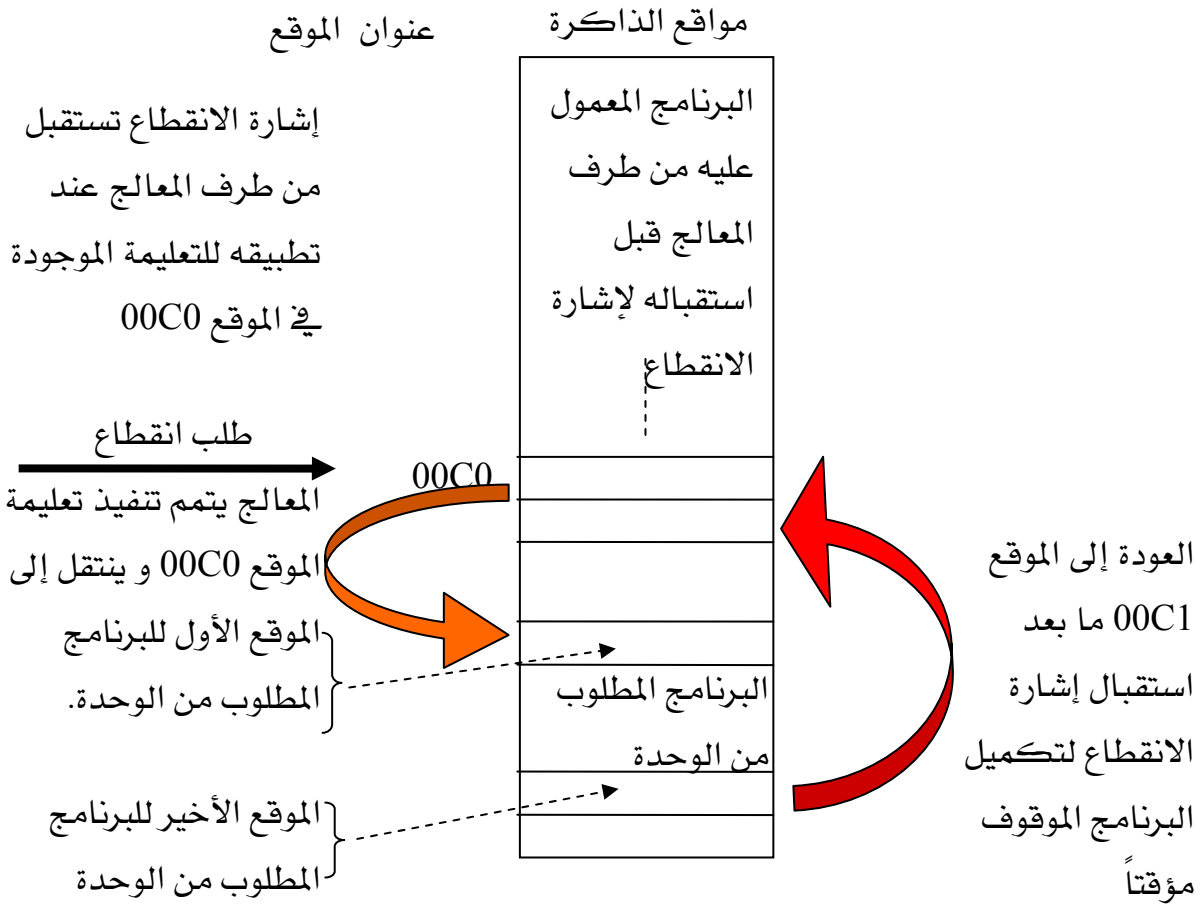
إشارات البيانات المتاحة (DAV : Data Available) و الاعتراف بالبيانات ( DACK : Data Acknowledge) تمثل إشارات التحكم في نقل البيانات، وهدا النقل يعتمد على :

- المعالج يجهز البيانات على ناقل البيانات و يرسل إشارة تدل على ذلك نحو وحدة الإدخال/الإخراج.
- الوحدة بعد استقبالها لإشارة بينة متاحة تقوم بقراءة البينة و ترسل بدورها إشارة نحو المعالج لتخبره بذلك. المعالج عند استقباله لهذه الإشارة يمكن له تجهيز وإرسال بينة أخرى و هكذا.

### ٦- ٨- ٢ نقل البيانات بطريقة الانقطاع

هذه الطريقة تعتمد على إرسال إشارة من طرف الوحدة نحو المعالج، عند استقباله للإشارة يقوم هدا الأخير بإيقاف مؤقت للبرنامج المعمول عليه البدء في تنفيذ برنامج آخر (برنامج مطلوب من الوحدة). تسمى الإشارة المرسلة من طرف الوحدة إشارة الانقطاع.

المراحل المطّبقة من طرف المعالج عند استعمال طريقة هذا النقل تكون حسب المثال التالي :

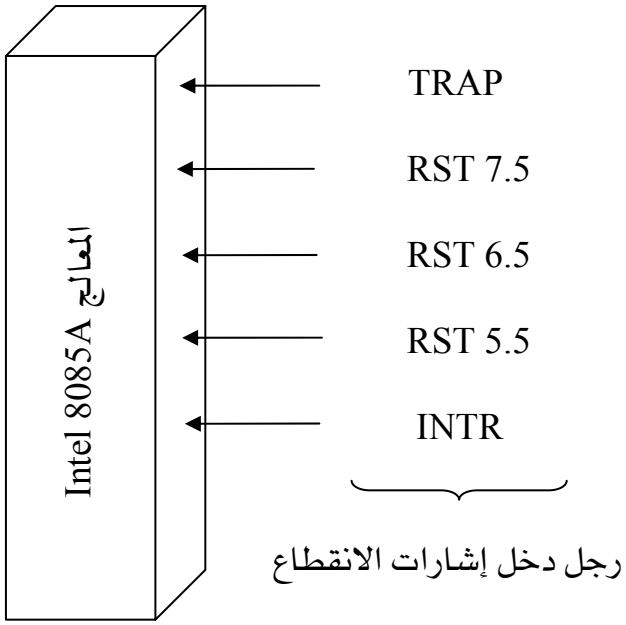



الشكل (٦- ١٠) : مراحل المعالج باستعماله لطريقة الانقطاع

مثال : إشارات الدخل للانقطاع (المعالج Intel 8085A)

على سبيل المثال فالمعالج Intel 8085A يستعمل خمس أرجل كدخل لإشارات الانقطاع، و هي :

| عنوان الموقع الأول للبرنامج المطلوب من الوحدة | رجل دخل إشارة الانقطاع |
|---|---|
| 003C | RST 7.5 |
| 0034 | RST 6.5 |
| 002C | RST 5.5 |




الشكل (٦- ١١) رجل إشارات الانقطاع وعناوين بداية برنامج الانقطاع

### ٦- ٨- ٣ نقل الذاكرة المباشر

ترسل البيانات من الوحدات الخارجية مباشرة نحو مخازن الذاكرة بدون استعمال لإشارات التحكم للمعالج. هذه الطريقة تنّفد باستعمال جهاز خاص خارجي يسمى جهاز التحكم للنقل المباشر(Memory Access Controllers). لاحظ أن هذا النوع من النقل لا يتم التحكم فيه من خلال المعالج الدقيق.

## تدريبات على الوحدة الخامسة

(٦- ١) صح أم خطأ نقل البيانات بين المعالج و الوحدات يكون على الطريقة المتوازية

(٦- ٢) عرّف دور وحدات إدخال/إخراج

(٦- ٣) معالج يستعمل ١٢ سلكاً من ناقل العنوان للاتصال بذاكرة، فما حجم هذه الذاكرة ؟

(٦- ٤) لماذا تستعمل رجل الاختيار في توصيل الوحدات مع المعالج ؟

(٦- ٥) معالج يستعمل مجال عنوان 7FFFH-0000H لذاكرة ROM، و المجال 8FFFH-8800H لذاكرة RAM:

أ- ارسم بيان الذاكرة المستعمل في هذه الحالة.

ب- احسب حجم ذاكرة ROM

ج- احسب حجم ذاكرة RAM

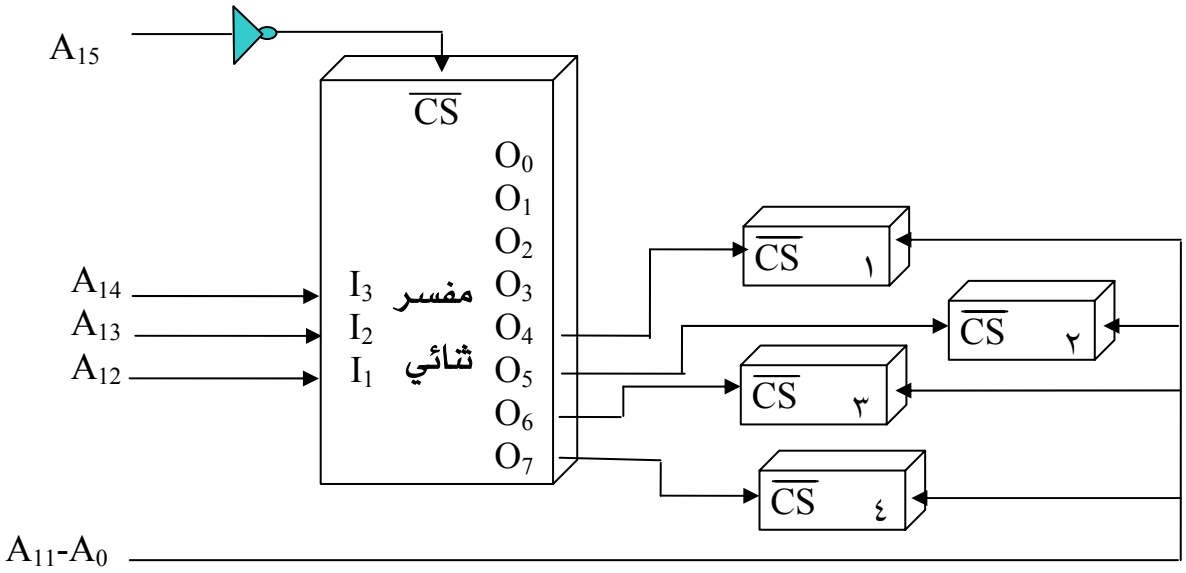
(٦- ٦) معالج يستعمل ذاكرة ROM ذات حجم 2K و ذاكرة RAM ذات حجم 1K.

أ- احسب عنوان الموقع الأخير لذاكرة ROM علماً بأن عنوان الموقع الأول هو 0000H.

ب- احسب عنوان الموقع الأخير لذاكرة RAM علماً أن عنوان الموقع الأول هو الموقع المباشر للموقع الأخير لذاكرة ROM.

ج- ارسم بيان الذاكرة المستعمل من طرف هذا المعالج.

(٦- ٧)معالج موّصل مع وحدات حسب الالشكل التالي:




يعتمد تشغيل المفسر الثنائي على جدول الصواب التالي:

| حالة إشارات الدخل | | | حالة إشارات الخرج | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|
| $I_3$ | $I_2$ | $I_1$ | $O_0$ | $O_1$ | $O_2$ | $O_3$ | $O_4$ | $O_5$ | $O_6$ | $O_7$ |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |

أ- احسب مجال عنوان كل وحدة

ب- ارسم بيان الذاكرة المستعمل من طرف المعالج

(٦-٨) فني يقوم بتجربة قراءة بيانات من الوحدات (الشكل التمرين رقم ٧) على أساس أن الوحدات من نوع ذاكرة ROM ويحصل على النتائج التالية:

أ- قراءة البيانات من مجال عنوان CFFFH-C000H و مجال عنوان F000H-FFFFH صحيحة.

ب- قراءة البيانات من مجال عنوان DFFFH-D000H تناسب البيانات التي من المفروض قد خزّنت في مجال عنوان EFFFH-E000H .

ج- قراءة البيانات من مجال عنوان EFFFH-E000H تناسب البيانات التي من المفروض أنها قد خزّنت في مجال عنوان DFFFH-D000H.

ما الخطأ الذي قد يؤدي إلى الحالات (ب) و (ج):

- توصيلة إشارة الدخل $I_2$ لوحدة فك الشفرة مفصولة.
- توصيلات إشارات الدخل $I_1$ و $I_2$ معكوسة.
- توصيلات رجل الاختيار للوحدة رقم ٢ و الوحدة رقم ٣ معكوسة.

(٦- ٩)باستعمال الشكل المفسر السابق (تمرين رقم ٧) ارسم دائرة التوصيل بين المعالج (ناقل العنوان) و الوحدات التي تستعمل مجالات العناوين الآتية:

- الوحدة رقم ١: 03FFH-0000H
- الوحدة رقم٢ : 07FFH-0400H
- الوحدة رقم٣ : 0BFFH-0800H
- الوحدة رقم٤ : 0FFFH-0C00H

(٦- ١٠) اذكر بالتسلسل المراحل الثلاث مراحل المستعملة من طرف المعالج و الوحدات في الحالات الآتية:

أ- قراءة معلومة من الذاكرة

ب- كتابة معلومة في الذاكرة

ج- قراءة معلومة من وحدة إدخال

د- كتابة معلومة على وحدة إخراج

(٦- ١١) ما الطريقة التي تستعمل للاتصال بين المعالج و وحدات إدخال/آخراج ؟

(٦- ١٢) كيف تتم طريقة نقل البيانات بين المعالج و وحدة تستعمل الانقطاع المباشر ؟

(٦- ١٣) بأي طريقة ترسل البيانات مباشرة نحو مخازن الذاكرة بدون استعمال إشارات التحكم للمعالج

# الدوائر المنطقية والمعالجات الدقيقة

## التكوين الداخلي للذاكـــــرة

## الوحدة السابعة : التكوين الداخلي للذاكرة

**الجدارة :** التعرف على ذاكرات شبه الموصل.

**الأهداف :** يتعرف المتدرب بإذن الله على الموضوعات التالية:

١. الخصائص الأساسية للذاكرة.
٢. ماهية ذاكرة الوصول العشوائية وكيفية عملها.
٣. الفرق بين الذاكرة الاستاتيكية (Static-memory) والذاكرة الديناميكية (Dynamic-memory)
٤. ماهية ذاكرة القراءة فقط وكيفية عملها.
٥. كيفية برمجة ذاكرة القراءة فقط.
٦. كيفية توسيع ذاكرة القراءة فقط وكذلك ذاكرة الوصول العشوائية لزيادة طول وسعة الكلمة.

**مستوى الأداء المطلوب :** أن يصل المتدرب إلى إتقان الجدارة ٨٠٪.

**الوقت المتوقع للتدرب على الجدارة:** ٥ ساعات

**الوسائل المساعدة:**

- السبورة
- استخدام برنامج Power point لعرض المحاضرات باستخدام جهاز عرض البيانات.

**متطلبات الجدارة:** أن يكون المتدرب ملماً بالدوائر المنطقية ونظم الأعداد المختلفة ومكونات كل من الحاسب والمعالج الدقيق.

## مقدمـــــة

تناولت الوحدة السابقة بالشرح والتحليل مسجلات الإزاحة حيث تعتبر من الذاكرات ذات المقياس الصغير أي تستطيع هذه المسجلات تخزين كمية صغيرة من البيانات أما الذاكرات التي سوف تغطيها هذه الوحدة فتستخدم لتخزين كمية كبيرة من البيانات.

وحيث إن أجهزة الحاسب والأنظمة الأخرى تحتاج إلى تخزين كميات كبيرة من البيانات الثنائية وتعتمد في عملها على المعالجات الدقيقة التي تعتمد بدورها على تخزين البرامج في عناصر التخزين والذاكرات والاحتفاظ بهذه البيانات أثناء عملية المعالجة. ففي مصطلحات الحاسب الآلي تنسب كلمة الذاكرة إلى كل من ذاكرة القراءة فقط (ROM) و ذاكرة الوصول العشوائية (RAM) .

هذه الوحدة تتناول بالدراسة ذاكرات شبه الموصل (Semiconductor Memories) و تهدف هذه الوحدة إلى استعراض الموضوعات التالية:

١. تعريف الخصائص الأساسية للذاكرة.
٢. شرح ماهية ذاكرة الوصول العشوائية وكيفية عملها.
٣. التعرف على الفرق بين الذاكرة الاستاتيكية (Static-memory) والذاكرة الديناميكية (Dynamic- memory)
٤. شرح ماهية ذاكرة القراءة فقط وكيفية عملها.
٥. التعرف على كيفية برمجة ذاكرة القراءة فقط.
٦. وصف كيفية توسيع ذاكرة القراءة فقط وكذلك ذاكرة الوصول العشوائية لزيادة طول وسعة الكلمة.

### ٧- ١ أساسيات ذاكرة شبه الموصل Basics of semiconductor memory

تعتبر الذاكرة جزء من نظام تخزين البيانات الثنائية بكميات كبيرة وتتكون ذاكرات شبه الموصل من مصفوفات لعناصر تخزين وعادة تتكون هذه المصفوفات من المكثفات أو المساكات (Latches)

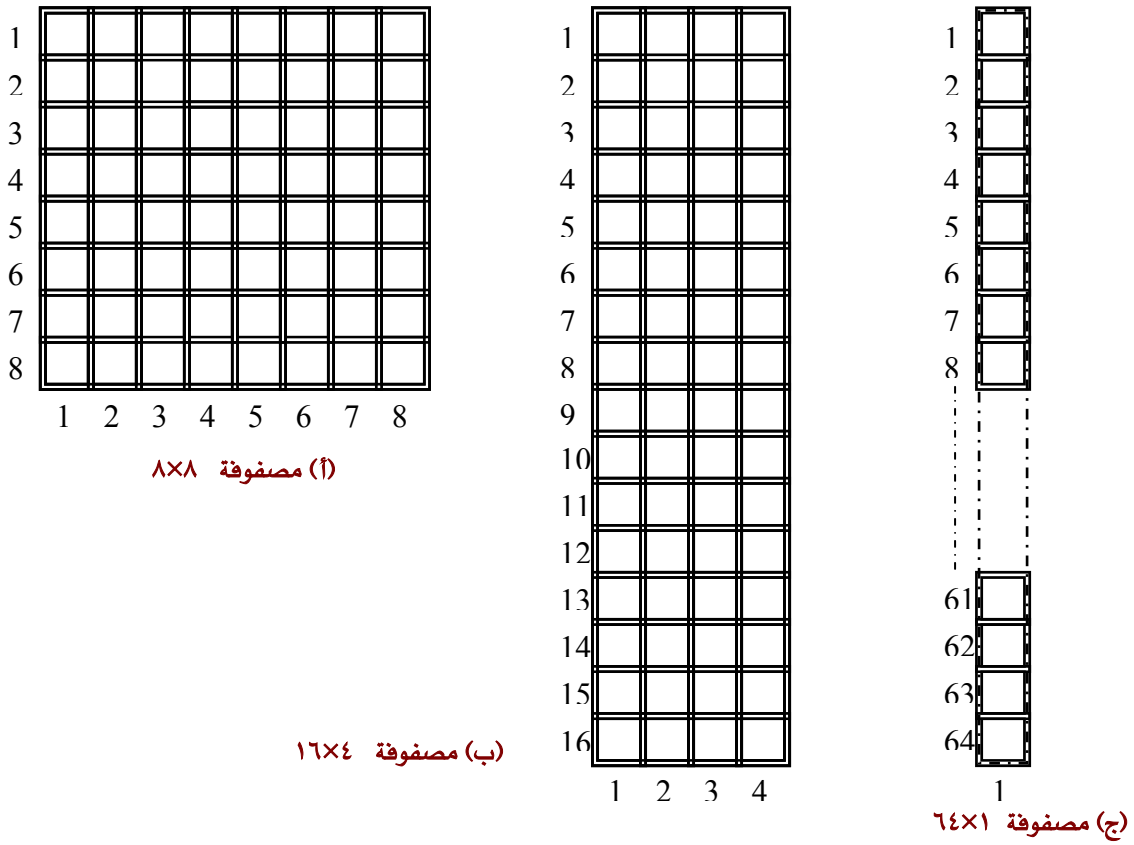
## ٧- ١- ١ وحدات البيانات الثنائية Units of binary data

كمبدأ عام أو كقاعدة عامة تخزن البيانات في الذاكرة بالوحدات من واحد إلى ثمانية بيتات (Bits)، ولذا سوف نستعرض في هذا الجزء الوحدات الأساسية للبيانات الثنائية وهي:

١. **البيت** (Bit) هي أصغر وحدة للنظام الثنائي للبيانات.
٢. **البايت** (Byte) هي وحدة تتكون من ثمانية بيتات.
٣. **النيبل**(Nibble) وينتج من تقسيم البايت إلى مجموعتين من أربعة بيتات.
٤. **الكلمة** (Word) وهي عبارة عن بايت واحدة أو أكثر وتعبر عن وحدة المعلومة الكاملة.

## ٧- ١- ٢ المصفوفة الأساسية لذاكرة شبه الموصل Basic array of semiconductor memory

كل عنصر تخزين في الذاكرة يمكنه أن يحتفظ بكل من الواحد (1) أو الصفر(0) يسمى بالخلية(cell) وتصنع الذاكرات من مصفوفات من هذه الخلايا كما هو موضح بالشكل(٧- ١) مستخدمة ٦٤ خلية كمثال توضيحي




**الشكل(٧- ١) ترتيب مصفوفة لذاكرة ٦٤ خلية بثلاثة طرق مختلفة**

كل كتلة(Block) في مصفوفة الذاكرةَ تُمثّلُ خليةَ تخزينٍ واحدة وموقعها يُمْكِنُ أَنْ يُميّز بتَحديد الصفّ والعمود فالمصفوفة المكونة من ٦٤ خلية يُمْكِنُ أَنْ تنظّمَ بعِدّة طرق مستندة على وحداتِ البياناتِ كما يلي:

١. الشكل(٧- ١أ) يبين مصفوفة ٨×٨ خلية ويمكن النظر إليها على أنها ذاكرة ٦٤ بيت أو ذاكرة مكونة من ثمانية بايتات.

٢. الشكل(٧- ١ب) يوضح مصفوفة عبارة عن ٤×١٦ خلية ويمكن اعتبارها ذاكرة ١٦ نيبل.

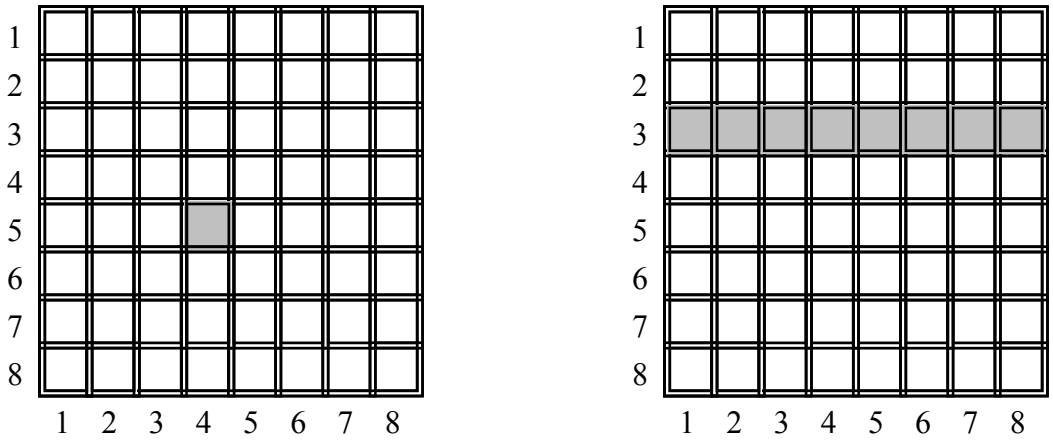
٣. الشكل(٧- ١ج) يبين كذلك مصفوفة مكونة من ١×٦٤ خلية ويمكن تسميتها ذاكرة ٦٤ بيت.

وتعرف الذاكرة أيضاً بعدد الكلمات التي يمكن أن تخزن مضروباً في حجم الكلمة مثال الذاكرة 16K تستطيع تخزين ١٦٣٨٤ كلمة كل كلمة حجمها يساوي ٨ بيت والعدد الحقيقي للكلمات يقاس عادة بالعدد ٢ مرفوعاً إلى أس يعطي الرقم المطلوب مقرباً إلى أقرب ألف فيصبح الرقم 16K.

### ٧- ١- ٣ عنوان وسعة ذاكرة Memory Address and Capacity

**عنوان الذاكرة** يعرف على أنه مكان وحدة البيانات في مصفوفة الذاكرة ويميز برقم الصف و العمود الموجود بهما البيت كما هو موضح بالشكل(٧- ٢أ) وعنوان البايت يعرف برقم الصف فقط كما هو مبين بالشكل(٧- ٢ب) لذلك وكما ترى فإن العنوان يعتمد على كيفية ترتيب الذاكرة إلى وحدات البيانات، الحاسبات الشخصية لها ذاكرات وصول عشوائية مرتبة بالبايت وهذا يعني أن أصغر مجموعة من البيتات يمكن عنونتها هي ثمانية.

**سعة الذاكرة** تعرف بالعدد الكلي لوحدات البيانات التي يمكن تخزينها ومثال على ذلك سعة الذاكرة بالشكل(٧- ٢أ) هي ٦٤بيت وفي الشكل(٧- ٢ب) السعة تساوي ٨ بايت أو كذلك ٦٤ بيت.



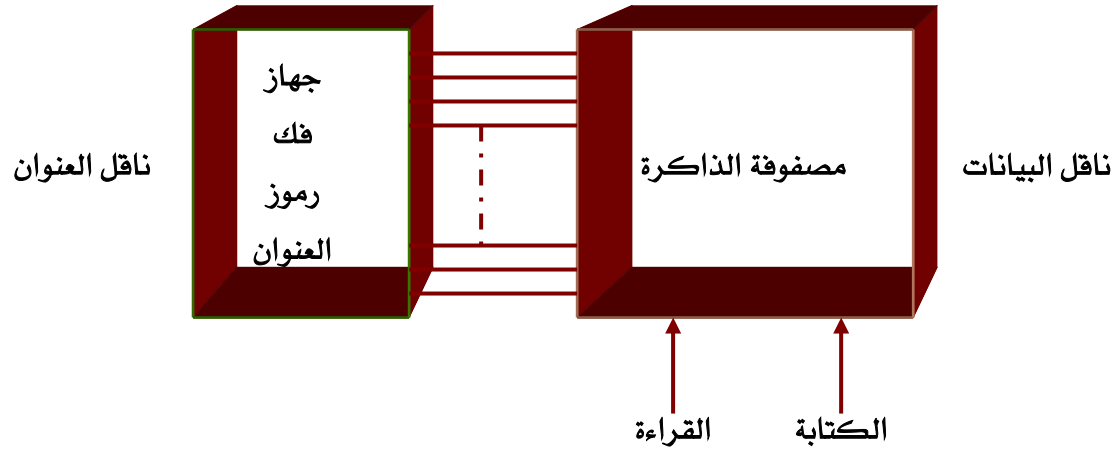

**الشكل(٧- ٢) يبين أمثلة على عنوان**

## ٧- ١- ٤ العمليات الأساسية للذاكرة Basic memory operations

بما أن عمل الذاكرة هو تخزين البيانات الثنائية والاحتفاظ بها وعند الحاجة إلى هذه البيانات تنسخ منها لذا يطلق على هاتين العمليتين بالقراءة والكتابة ويمكن تعريف كلاً منهما كما يلي:

- **عملية الكتابة** (Read operation): هي وضع البيانات بعنوان معرف في الذاكرة.
- **عملية القراءة** (Write operation): هي نسخ أو أخذ البيانات من الذاكرة بعنوان محدد.

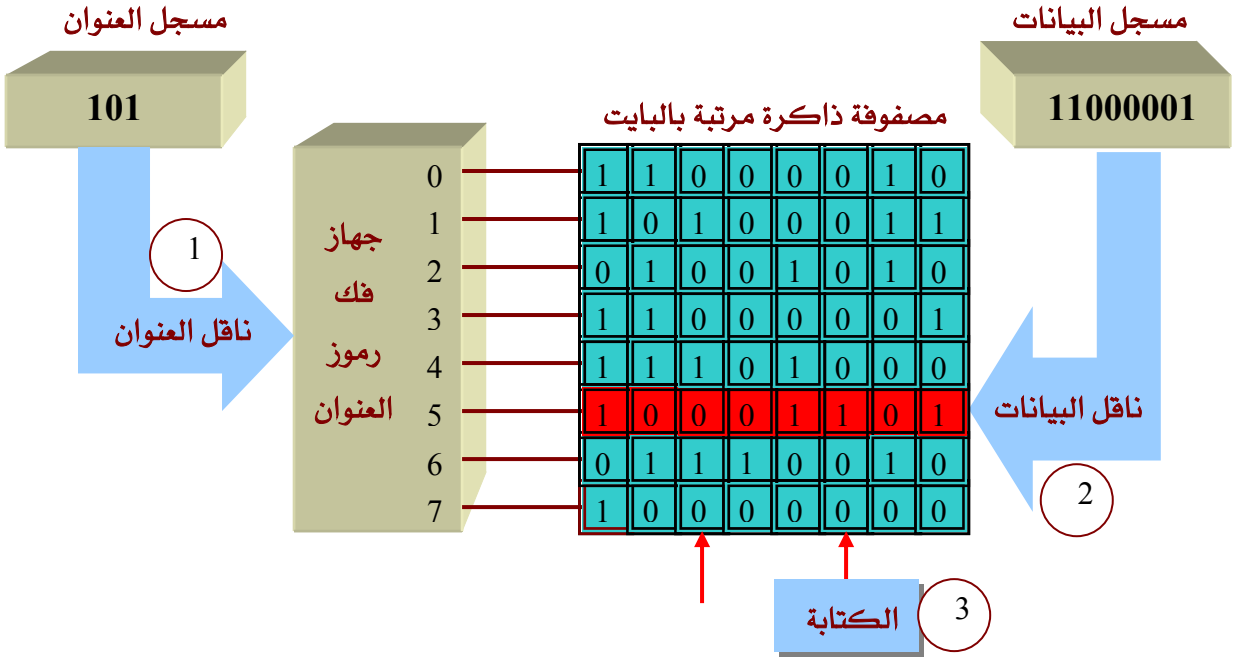
ومن ذلك نستنتج أن عملية العنونة هي جزء من عمليتي القراءة والكتابة ووحدات البيانات تذهب إلى الذاكرة أثناء الكتابة وتعود أثناء القراءة على مجموعة من الخطوط تسمى بناقل البيانات(Data bus). والشكل(٧- ٣) يوضح ناقلاً للبيانات ثنائي الاتجاه وهذا يعني أن البيانات تذهب من وإلى الذاكرة، ففي حالة ترتيب بيانات الذاكرة يجب أن يكون ناقل البيانات يحتوي على ثمانية خطوط على الأقل لنقل كل ثمانية بيتات على التوازي في العنوان المختار وأثناء عملية القراءة والكتابة يختار عنوان يمثل بشفرة ثنائية توضع على مجموعة من الخطوط تسمى ناقل العنوان (Address bus) حيث تفكك رموز شفرة العنوان داخلياً ويتم اختيار العنوان المناسب لها .ويعتمد عدد الخطوط في ناقل العنوان على سعة الذاكرة. وكمثال فشفرة عنوان 15-Bit تستطيع أن تختار 32,678 مكاناً في الذاكرة أي ما يوازي ($2^{15}$) ، وشفرة عنوان 16-Bit تستطيع أن تحجز 65,536 مكاناً في الذاكرة أي ما يوازي ($2^{16}$) وهلم جر، ففي الحاسب الشخصي يستطيع ناقل العنوان 32-bit اختيار 4,294,967,296 مكاناً في الذاكرة أي ما يوازي ($2^{32}$) وعبر عنها بالكمية 4G.




**الشكل(٧- ٣) يبين المخطط الصندوقي لذاكرة موضحاً ناقل العنوان وجهاز فك رموز العنوان وناقل البيانات ثنائي الاتجاه ودخل القراءة والكتابة.**

### ٧- ١- ٤- ١ عملية الكتابة Write operation

الشكل(٧- ٤) يبين عملية قراءة بسيطة حيث تخزن بايت من البيانات بوضع الشفرة المحفوظة في مسجل العنوان على ناقل العنوان وبمجرد وضع شفرة العنوان على الناقل يقوم جهاز فك رموز شفرة العنوان بفك الشفرة واختيار المكان المحدد في الذاكرة وحينئذ تتلقى الذاكرة أمر الكتابة، وبالتالي توضع البيانات المحفوظة في مسجل البيانات على ناقل البيانات وتخزن في عنوان الذاكرة المختارة، وعندما يكون هناك بايتات جديدة للكتابة على عنوان الذاكرة تخزن مكان البيانات القديمة ويتم تدمير البيانات القديمة.



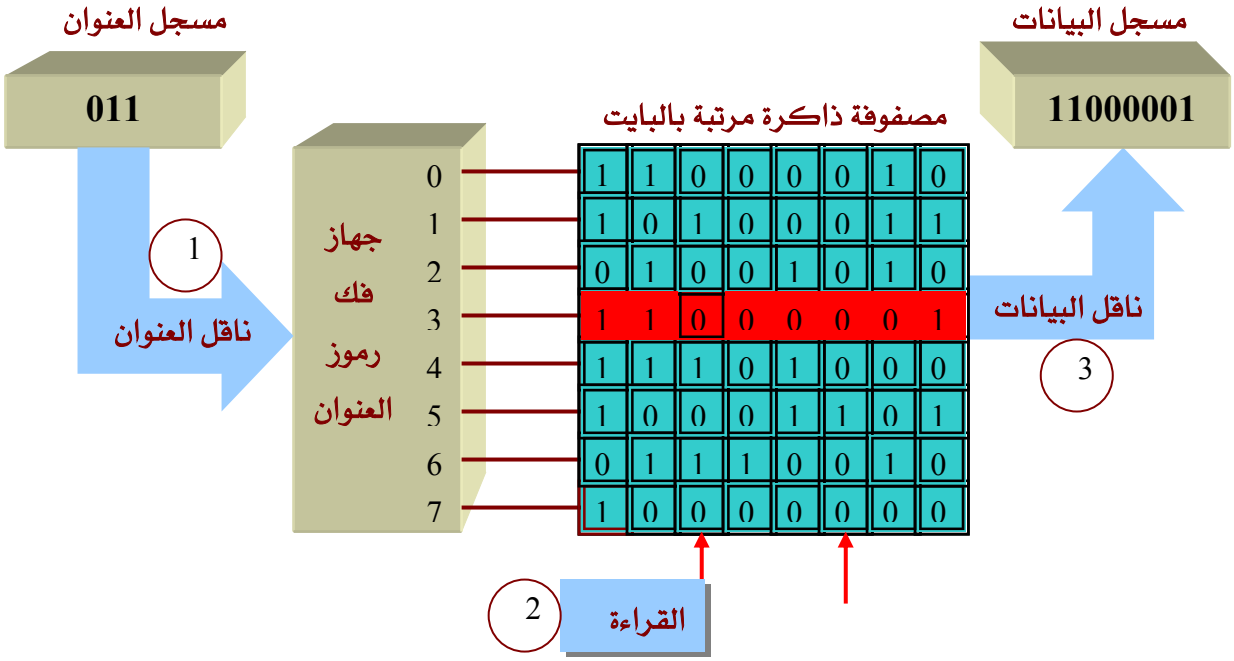

الشـــكل(٧- ٤) يوضـــح عمليـــة

ويمكن تلخيص عملية الكتابة من الشكل(٧- ٤) كما يلي:

١. توضع شفرة العنوان 101 على ناقل العنوان ثم يتم تفكيكها بواسطة جهاز فك رموز الشفرات فيختار العنوان 5.
٢. توضع بايت البيانات على ناقل البيانات.
٣. يتسبب أمر الكتابة في تخزين بايت البيانات في العنوان رقم 5 وتحل محل البيانات المخزنة سابقاً.

### ٧- ١- ٤- ٢ عملية القراءة Read operation

الشكل(٧- ٥) يبين عملية قراءة بسيطة حيث توضع الشفرة المخزنة في مسجل العنوان على ناقل العنوان وبعد ذلك يقوم جهاز فك رموز شفرة العنوان بفك رموز هذه الشفرة ويختار المكان المحدد في الذاكرة وعندما تتلقى الذاكرة أمر القراءة توضع نسخة من بيانات البايت المخزنة في عنوان الذاكرة المختار على ناقل البيانات وتحمل إلى مسجل البيانات وبذلك تتم عملية القراءة وعندما تتم قراءة هذه البيانات من عنوان الذاكرة لا تمحى ولكن تبقى مخزنة على ذلك العنوان وعلى ذلك تسمى بالقراءة غير المدمرة.




الشكل(٧- ٥) يوضح عملية القراءة

ويمكن تلخيص عملية القراءة من الشكل(٧- ٥) كما يلي:

١. توضع شفرة العنوان 011 على ناقل العنوان ثم يتم تفكيكها بواسطة جهاز فك رموز الشفرات فيختار العنوان 3.
٢. يطبق أمر القراءة.
٣. توضع محتويات العنوان 3 على ناقل البيانات وتزاح إلى مسجل الإزاحة ولا تمحى هذه المحتويات بل تبقى مخزنة على العنوان 3 .

## ٧- ٢ ذاكرات الوصول العشوائية Random-Access Memories (RAMs)

ذاكرات الوصول العشوائية هي ذاكرات قراءة وكتابة يمكن كتابة البيانات أو قراءتها من وإلى أي عنوان مختار وفي أي ترتيب، وعندما تكتب وحدة البيانات إلى العنوان المعطى في ذاكرة الوصول العشوائية(RAM) تستبدل وحدة البيانات المخزنة سلفاً على ذلك العنوان بوحدة البيانات الجديدة، وعند قراءة وحدة البيانات من العنوان المعطى في ذاكرة الوصول العشوائية تبقى وحدة البيانات مخزنة ولا تمحى بعملية القراءة، فعملية القراءة غير التدميرية هذه يُمْكِنُ أَنْ تُنْظَرَ كنَسْخ محتوى عنوان بينما يَتْرِكُ المحتوى لا يمس، وأي ذاكرة عشوائية تُستَعملُ نموذجياً لخزنِ بياناتِ المدى القريبِ لأنها لا تَستطيعُ الاحتفاظ بالبياناتِ المَخْزُونةِ متى انطفأت القدرة.

### ٧- ٢- ١ عائلة ذاكرة الوصول العشوائية The RAM Family

يوجد صنفان من ذاكرات الوصول العشوائية وهما:

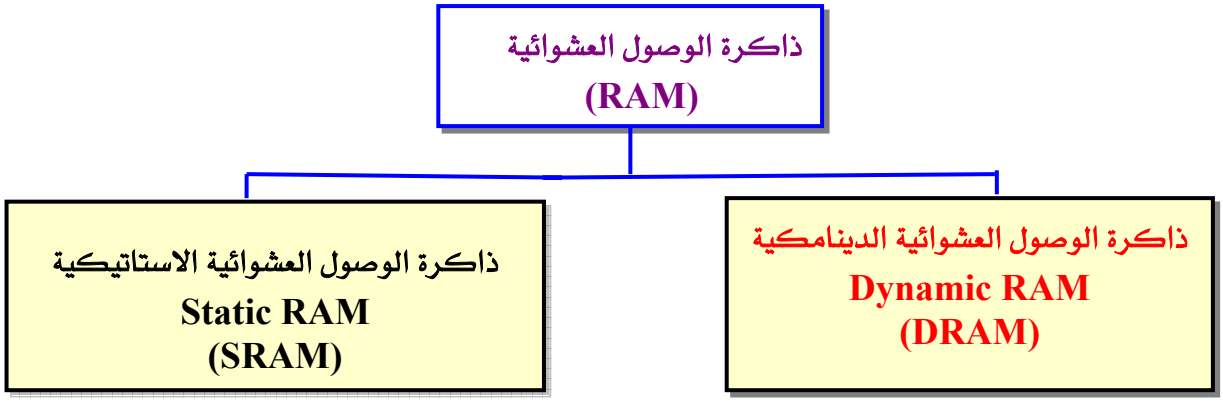
١. **ذاكرات الوصول العشوائية الساكنة أو الاستاتيكية** (The static RAMs): تستعمل الذاكرات العشوائية الساكنة القلابات كعناصر تخزين ويمكن أن تخزن البيانات بالشكل غير محدد طالما طبقت قدرة تيار مستمر.
٢. **ذاكرات الوصول العشوائية الديناميكية** (The dynamic RAMs): تستعمل الذاكرات العشوائية الدينامكية المكثّفات كعناصر تخزين ولا تستطيع الاحتفاظ بالبيانات لمدة طويلة جداً بدون أن يعاد شحن المكثّفاتِ بمعالجة تسمى الإنعاش (refreshing).

**مقارنة بين ذاكرات الوصول العشوائية الساكنة و الدينامية:**

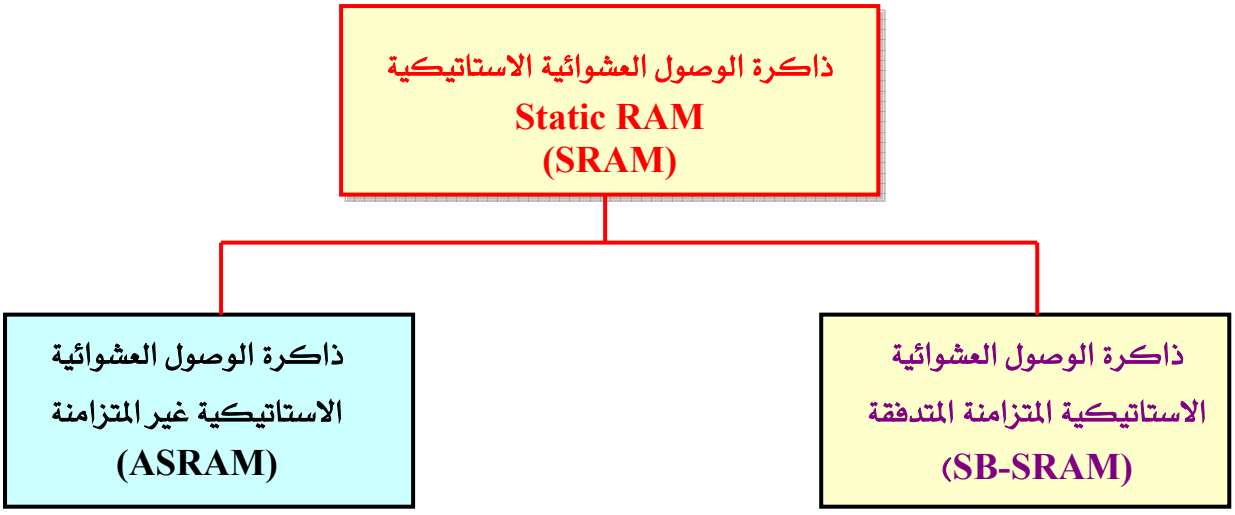
كلا النوعين سيفقدان البيانات المخزنة متى تم نزع مصدر القدرة للتيار المستمر ولذا يطلق عليهما الذاكرات القلقة(volatile memories) ويمكن المقارنة بين النوعين كالتالي:

١. قراءة البيانات من ذاكرات الوصول العشوائية الساكنة أكثر سرعة من قراءتها من ذاكرات الوصول العشوائية الدينامية.
٢. ذاكرات الوصول العشوائية الدينامية يمكن أن تخزن بيانات أكثر بكثير من ذاكرات الوصول العشوائية الساكنة للحجم الطبيعي المعطى والتكلفة لأن خلية ذاكرة الوصول العشوائية الدينامية أكثر سهولة ويمكن حشر خلايا في المساحة المعطاة أكثر مقارنة بذاكرة الوصول العشوائية الساكنة.

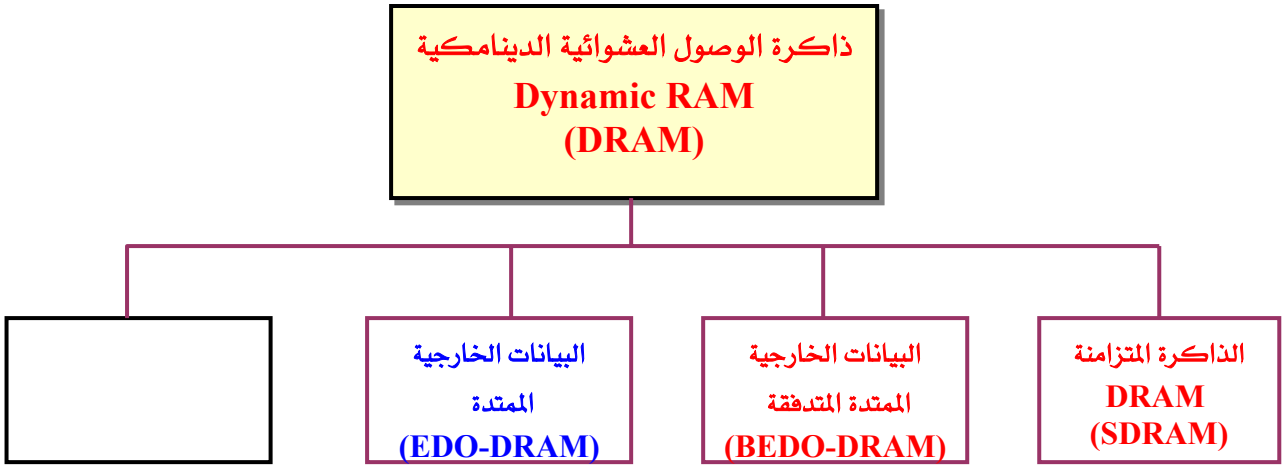
الشكل(٧- ٦) يوضح عائلة ذاكرة الوصول العشوائية والشكل(٧- ٧) يبين أنواع ذاكرة الوصول العشوائية الاستاتيكية أما الشكل(٧- ٨) فيحتوي على أنواع ذاكرة الوصول العشوائية الديناميكية.




الشـــكل(٧- ٦) عائلـــة ذاكـــرة الوصـــول




الشكل(٧- ٧) أنواع ذاكرة الوصول العشوائية الاستاتيكية



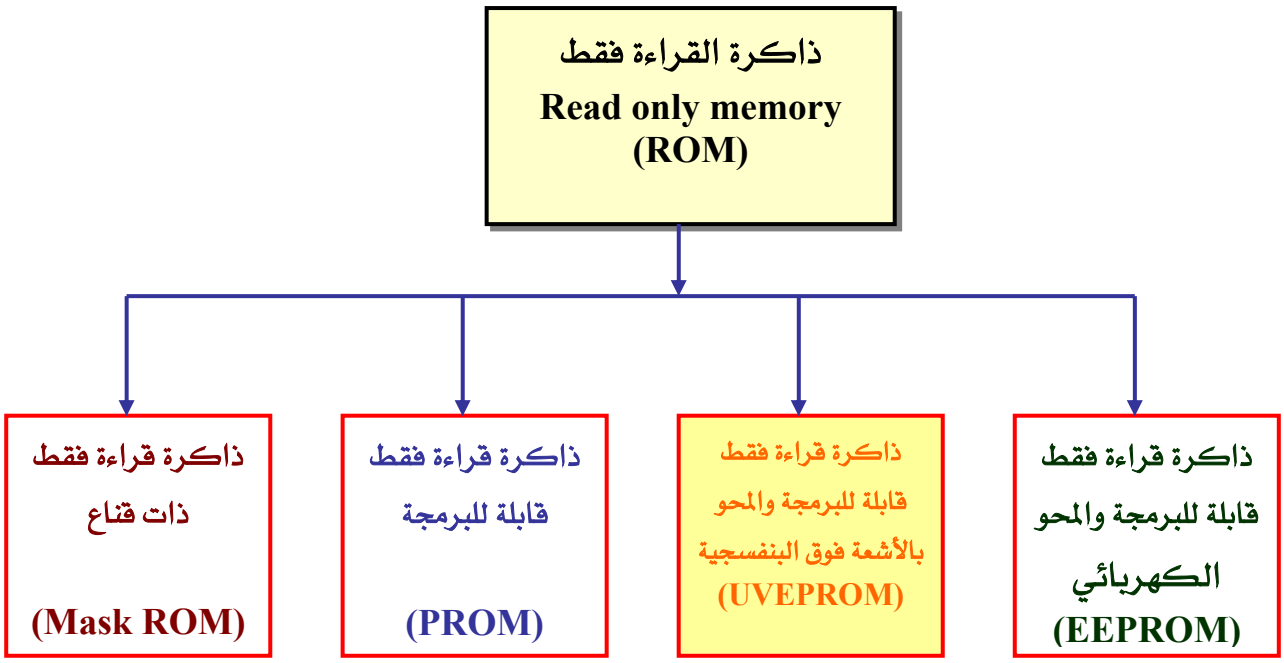

الشكل(٧- ٨) أنواع ذاكرة الوصول العشوائية الديناميكية

## ٧- ٣ ذاكرات القراءة فقط Read Only Memories

ذاكرة القراءة فقط تَحتوي بالشكل دائم أو بالشكل شبه دائم على بيانات مخزنة والتي يمكن أن تقرأ من الذاكرة ولكن لا يمكن تغييرها ككل أو لا يمكن تغييرها بدون أجهزة خاصة. ذاكرة القراءة فقط تخزن البيانات التي تستعمل بالشكل متكرر في تطبيقات النظام مثل الجداول، والتحويلات، والأوامر المُبَرمَجة للتهيئةِ والتشغيل. ذاكرات القراءة فقط تحتفظ بالبيانات عندما تطفأ القدرة وتكون حينها ذاكرات غير قلقة.

### ٧- ٣- ١ عائلة ذاكرة القراءة فقط The ROM Family

الشكل(٧- ٩) يشير إلى كيفية تصنيف ذاكرات شبه الموصل للقراءة فقط



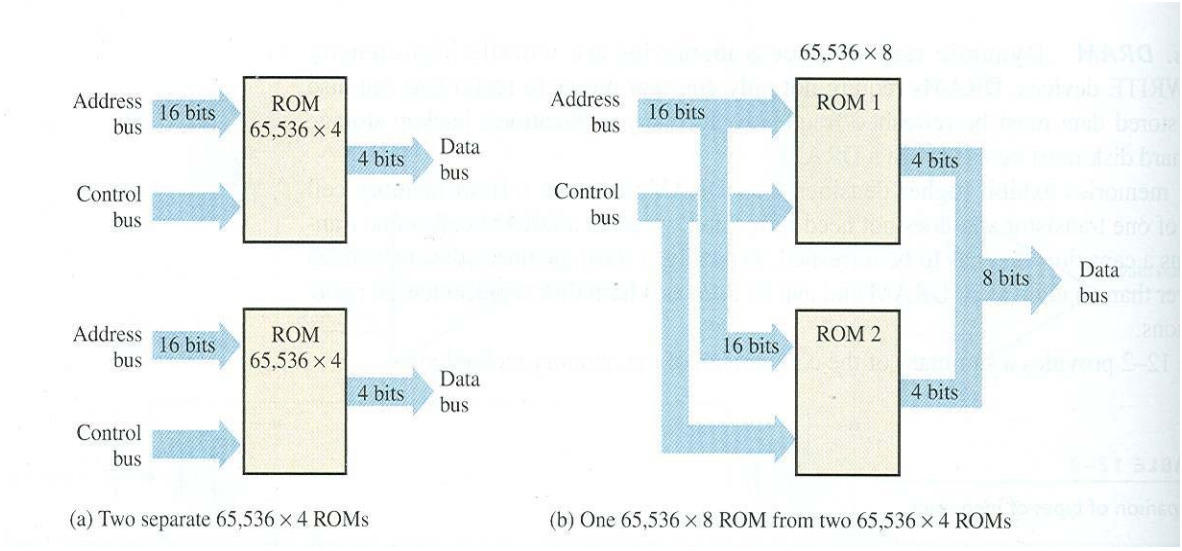

الشكل(٧- ٩) عائلة ذاكرة القراءة فقط

## ٧- ٤ توسعة الذاكرة Memory Expansion

الذاكرة المتاحة يمكن توسعتها عن طريق إما زيادة طول الكلمة(عدد البيتات في كل عنوان) أو زيادة قدرة أو سعة الكلمة(عدد العناوين المختلفة) وذلك عن طريق إضافة عدد مناسب من الرقائق إلى ناقلات العنوان والبيانات والتحكم.

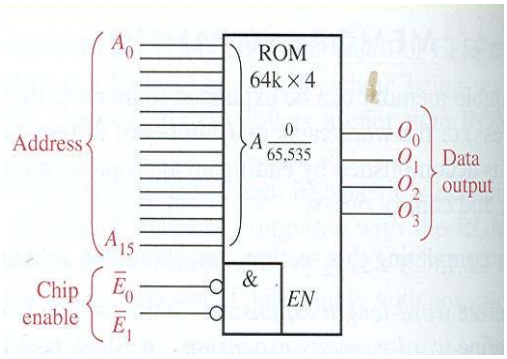
### ٧- ٤- ١ توسعة طول الكلمة Word Length Expansion

لتوسعة طول الكلمة للذاكرة تجب زيادة عدد البيتات في ناقل البيانات ومثال ذلك كلمة طولها ٨ بيت يمكن أن نحصل عليها باستخدام ذاكرتين كل واحدة منهما مع كلمة ٤بيت كما هو موضح بالالشكل(٧- ١٠).




**الشكل(٧- ١٠) يوضح طريقة توسعة ذاكرة بزيادة طول الكلمة [٣]**

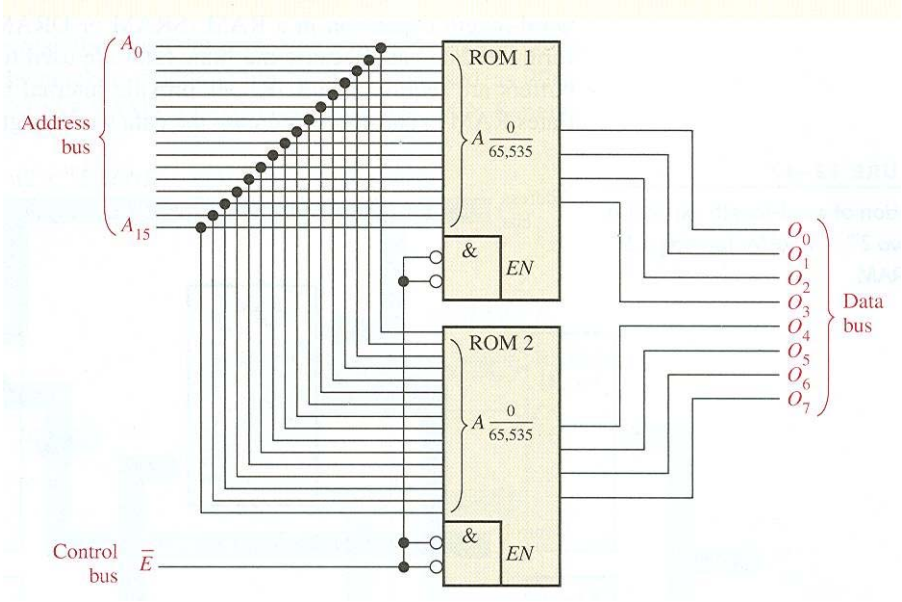
**مثال(٧- ١)** وسع ذاكرة القراءة فقط 65,536×4 في الشكل(٧- ١١) لتشكيل ذاكرة قراءة 64K×8




**الشكل(٧- ١١) [٣]**

## الحـــــل

يتم توصيل ذاكرتين 64K×4 كما بالالشكل(٧- ١٢) لاحظ أن العنوان المحدد يدخل على الذاكرتين في نفس الوقت.

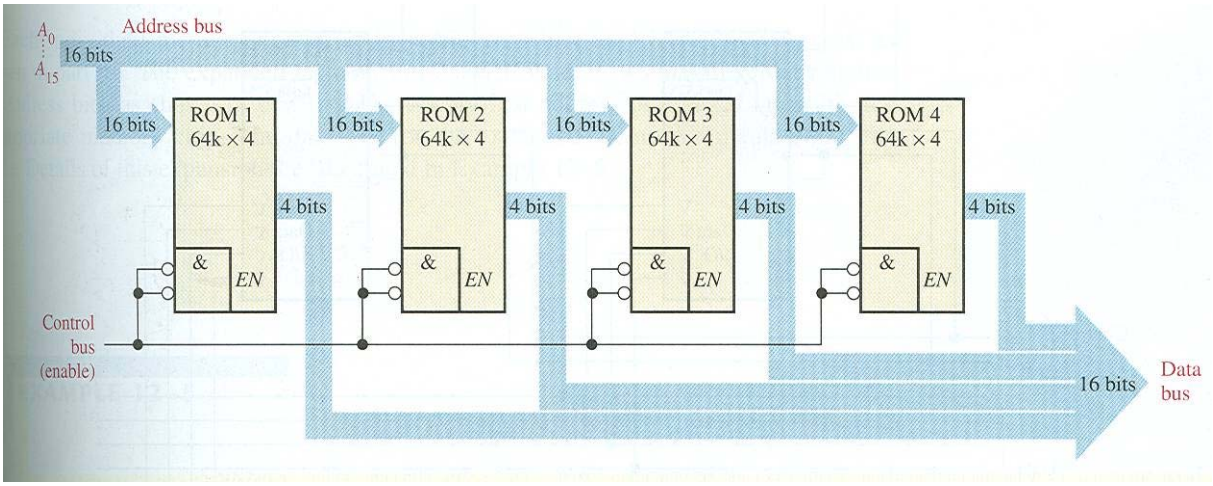



**الشكل(٧- ١٢) يوضح كيفية توسعة الذاكرة بزيادة طول الكلمة[٣].**

**مثال(٧- ٢)** استخدم الذاكرات في مثال(٧- ٢) لتشكيل ذاكرة قراءة 64K×16.

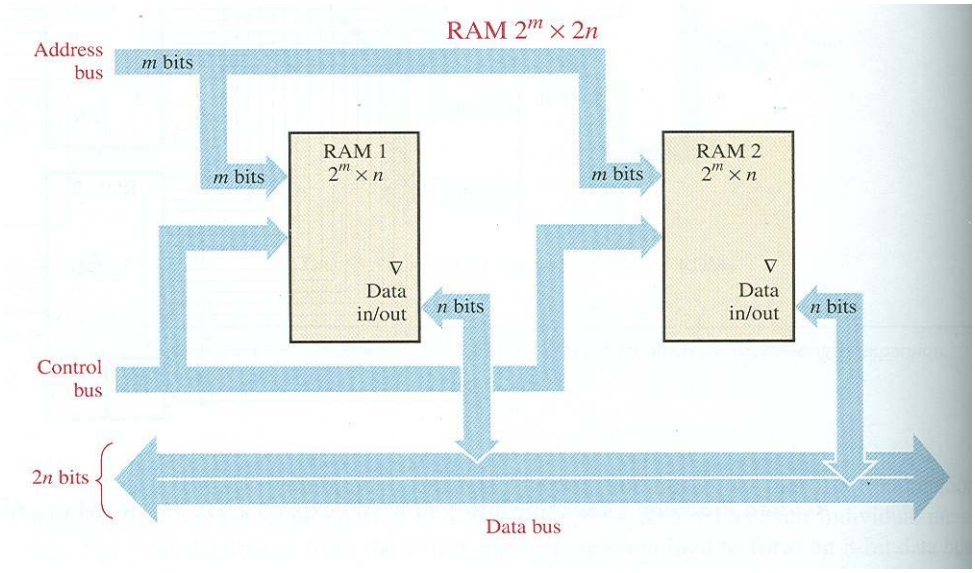
## الحـــــل

في هذه الحالة نحتاج إلى ذاكرة تخزن 65,536 16 bit words ولذلك المطلوب هو أربع ذاكرات قراءة فقط 64K×4 لإتمام هذا العمل كما هو موضح في الشكل(٧- ١٣).




**الشكل(٧- ١٣) [٣].**

ذاكرة القراءة فقط لها فقط مخارج للبيانات ولكن ذاكرة الوصول العشوائية لها مداخل ومخارج للبيانات ولتوسعة طول الكلمة في ذاكرة الوصول العشوائية سواء الاستاتيكية أو الديناميكية يتالشكل ناقل البيانات من مداخل ومخارج البيانات ولأننا نستخدم نفس الخطوط لمداخل ومخارج البيانات لذلك مطلوب حواجز ثلاثية. الشكل(٧- ١٤) يوضح كيفية زيادة طول الكلمة عن طريق ذاكرة الوصول العشوائية.

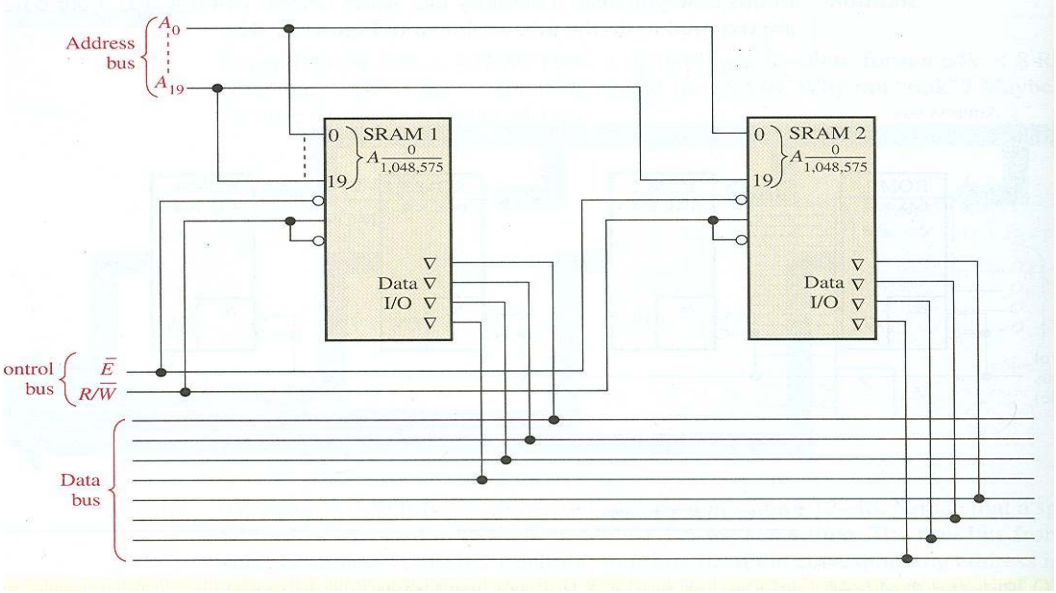



الشكل(٧-١٤) يوضح زيادة طول الكلمة بذاكرة الوصول العشوائية[٣].

**مثال(٧- ٣)** استخدم ذاكرات وصول عشوائية استاتيكية 1M×4 للحصول على ذاكرة وصول عشوائية استاتيكية 1M×8.

**الحـــل**

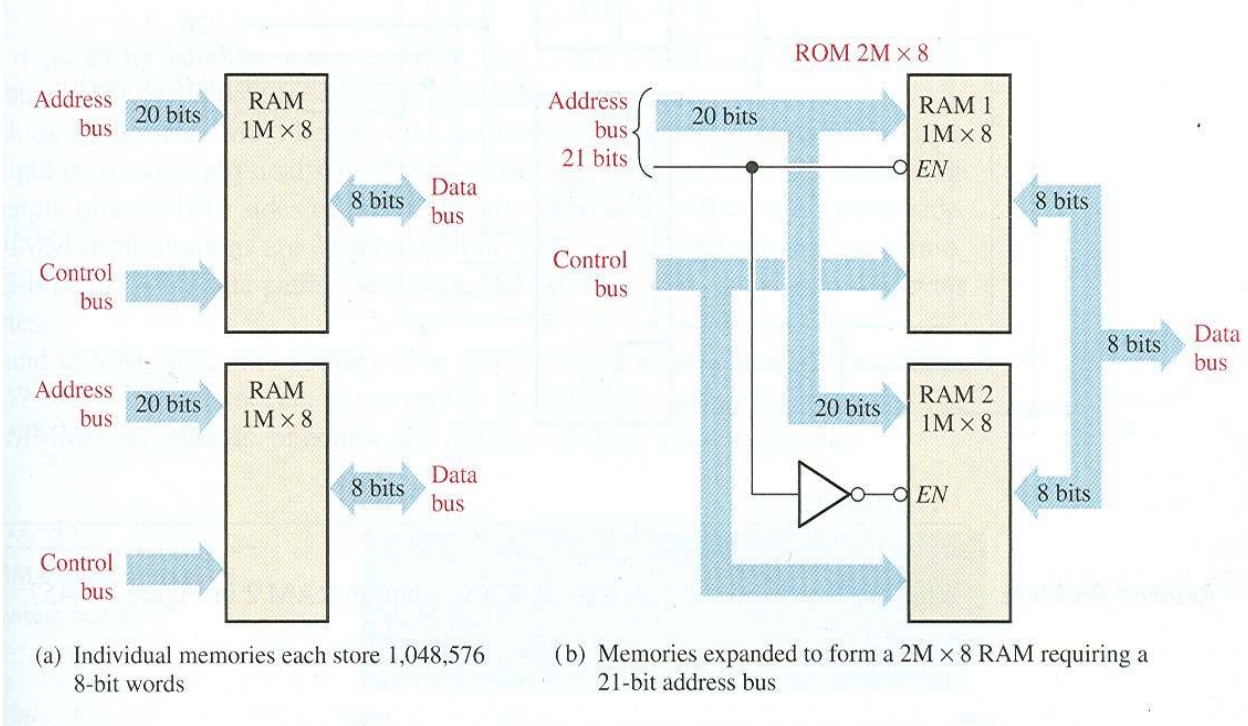
يتم توصيل ذاكرتين 1M×4 كما هو مبين في الشكل(٧- ١٥)




الشكل(٧- ١٥) [٣].

## ٧- ٤- ٢ توسعة قدرة أو سعة الكلمة Word Capacity Expansion

عند توسيع الذاكرات لزيادة قدرة الكلمة يزداد عدد العناوين وللحصول على هذه الزيادة يجب أن تزيد عدد بيتات العنوان كما هو موضح في الشكل(٧- ١٦)

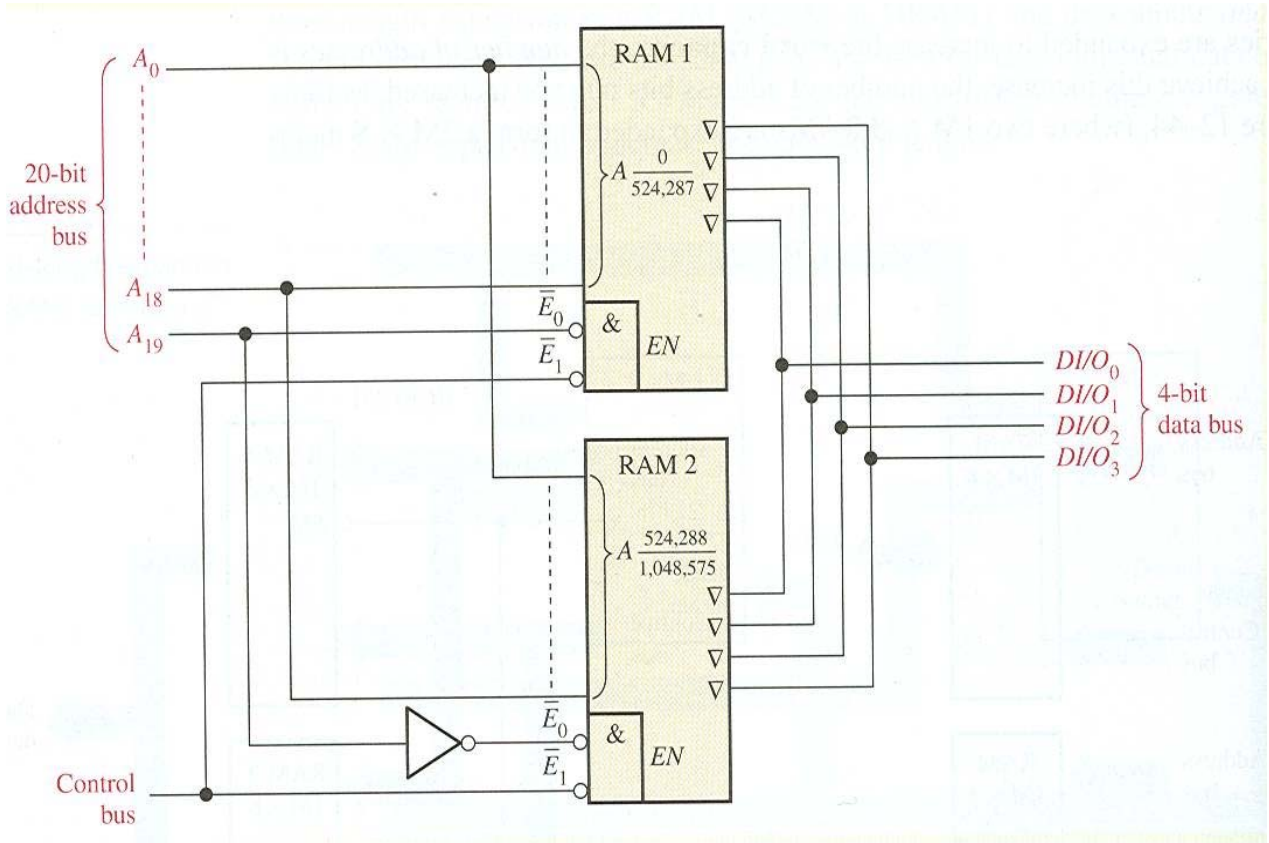



الشكل(٧- ١٦) يوضح توسعة قدرة الكلمة[٣ ]

**مثال(٧- ٤)** استخدم ذاكرات وصول عشوائية 512K×4 لتنفيذ ذاكرة 1M×4.

**الحـــل**

يمكن الحصول على توسيع العنوان بتوصيل دخل تمكين الرقيقة $\overline{E_0}$ إلى بيت العنوان $A_{19}$ كما في الشكل(٧- ١٧) والدخل $\overline{E_1}$ يستخدم كدخل تمكين مشترك للرقيقتين. عندما يكون بيت العنوان A19 في المستوى المنخفض(Low) يتم اختيار الذاكرة ١ وتصل بيتات العنوان الأقل رتبة (A0-A18) إلى العناوين في الذاكرة ١ وعندما يصبح A19 في المستوى العالي يتم تمكين الذاكرة٢ بواسطة المستوى المنخفض على عاكس الخرج وتصل بيتات العنوان الأقل رتبة (A0-A18) إلى العناوين في الذاكرة ٢.




**الشكل(٧- ١٧) [٣]**

# الدوائر المنطقية والمعالجات الدقيقة

## معالجة البيانات

## الوحدة الثامنة : معالجة البيانات

**الجدارة :** التعرف على البنية الأساسية للمعالج الدقيق وكيفية معالجة البيانات

**الأهداف :** يتعرف المتدرب بإذن الله على الموضوعات التالية:

١. البنية الأساسية للمعالج الدقيق Intel 8085.وتشغيله الأساسي
٢. معالجة البيانات.
٣. تنفيذ التعليمات
٤. عمل وحدة الحساب والمنطق
٥. مسجل الحالة
٦. تحكم البرنامج
٧. دورات الإحضار
٨. القفز المطلق
٩. البرامج الفرعية
١٠.ترجمة التعليمات والتحكم

**مستوى الأداء المطلوب :** أن يصل المتدرب إلى إتقان الجدارة ٨٠٪.

**الوقت المتوقع للتدرب على الجدارة:** ٥ ساعات

**الوسائل المساعدة:**

- السبورة
- استخدام برنامج Power point لعرض المحاضرات باستخدام جهاز عرض البيانات.

**متطلبات الجدارة:** أن يكون المتدرب ملماً بالدوائر المنطقية ونظم الأعداد المختلفة ومكونات كل من الحاسب والمعالج الدقيق وطريقة عمل كل منهما.

## مقـــــــدمة

في هذه الوحدة سنتطرّق بالدراسة إلى الموضوعات التالية:

- البنية الأساسية للمعالج الدقيق Intel 8085.وتشغيله الأساسي
- معالجة البيانات.
- تنفيذ التعليمات
- عمل وحدة الحساب والمنطق
- مسجل الحالة
- تحكم البرنامج
- دورات الاحضار
- القفز المطلق
- البرامج الفرعية
- ترجمة التعليمات والتحكم

## ٨- ١ البنية الأساسية للمعالج الدقيق وتشغيله

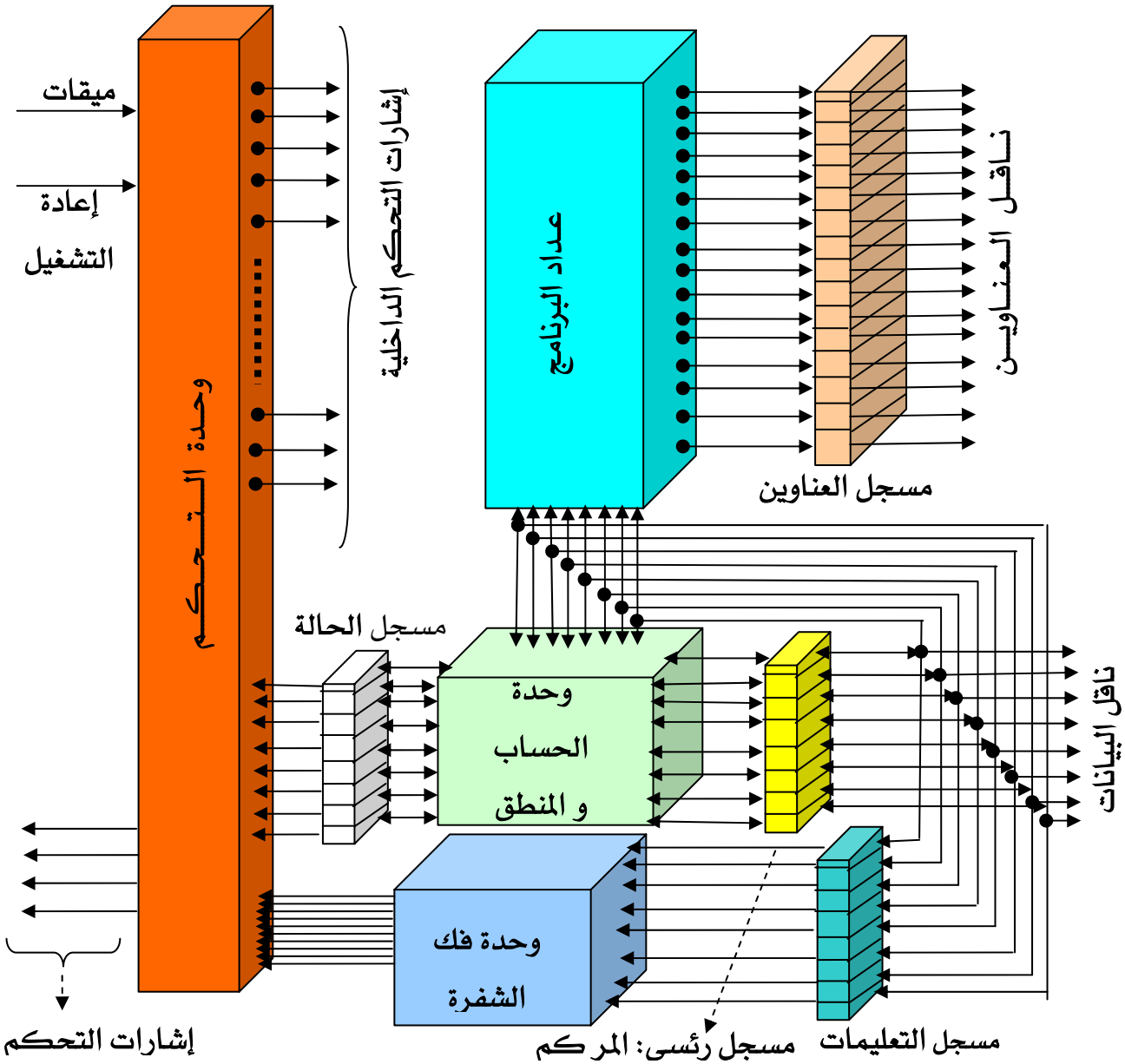
الشكل(٨- ١) يبين البنية الأساسية للمعالج الدقيقIntel 8085. يعتمد التشغيل الأساسي للمعالج الدقيق على تنفيذ برنامج (قائمة من الأوامر) بواسطة دورة متكررة خلال الخطوات الثلاث التالية:

١. جلب الأمر من الذاكرة ووضعه في وحدة المعالجة المركزية.
٢. فك شفرة الأمر وفي هذه الخطوة يتم تحديث عداد البرنامج للإشارة إلى الأمر التالي.
٣. تنفيذ الأمر وأثناء هذه الخطوة تتم إعادة النتائج إلى المسجلات والذاكرة.

لاحظ أن هذه الخطوات تتم بالتتابع.

## ٨- ٢ معالجة البيانات

تتم معالجة البيانات من خلال مراحل متعددة داخل المعالج الدقيق حيث يتم تنفيذ المرحلة بعد المرحلة بالتتابع.




الشكل (٨- ١) يوضح بنية المعالج الدقيق

## ٨- ٢- ١ تنفيذ الأمر

إشارة إعادة التشغيل هي أحد إشارات الدخل للمعالج، فعند تنشيطها (أو عند تغذية المعالج) تقوم وحدة التحكم بتشغيل عداد البرنامج ابتداء من العنوان القاعدي (الذي يتمثل في 0000H)، وهذه المرحلة تعرّف عنوان موقع الأمر الأول الذي سيقوم بتنفيذه المعالج حسب المراحل التالية:

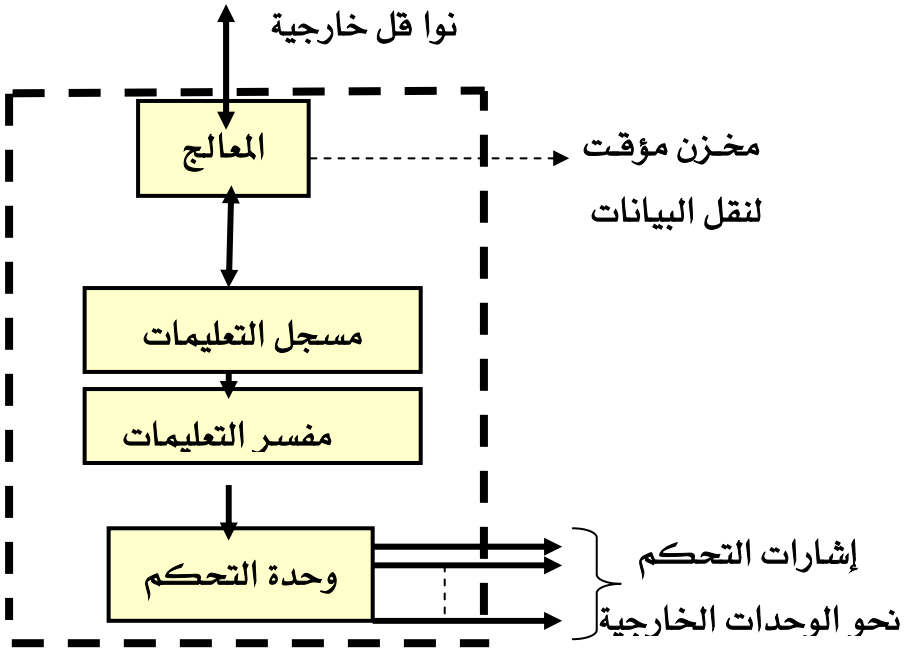
١. وحدة التحكم:

- تقوم بتحويل محتوى عداد البرنامج (عنوان الموقع) داخل مسجل العناوين و تقوم بزيادة هذا العداد بواحد ليصبح العنوان داخل مسجل العناوين يشير إلى الموقع التالي.
- تنشط إشارة التحكم التي تمثل القراءة من الذاكرة.

٢. تحوّل المعلومة الموجودة في الموقع المعيّن من الذاكرة عبر ناقل البيانات داخل المعالج ،ثم يحوّل هذا الأمر إلى مسجل التعليمات أو الأوامر.

٣. الأمر الأول تمثله كلمة (8 وحدات رقمية أو Byte) و هي تعبّر بالنسبة للمعالج على العمليات الذي سيقوم بها المعالج عبر وحدة التحكم لتنفيذ هذا الأمر

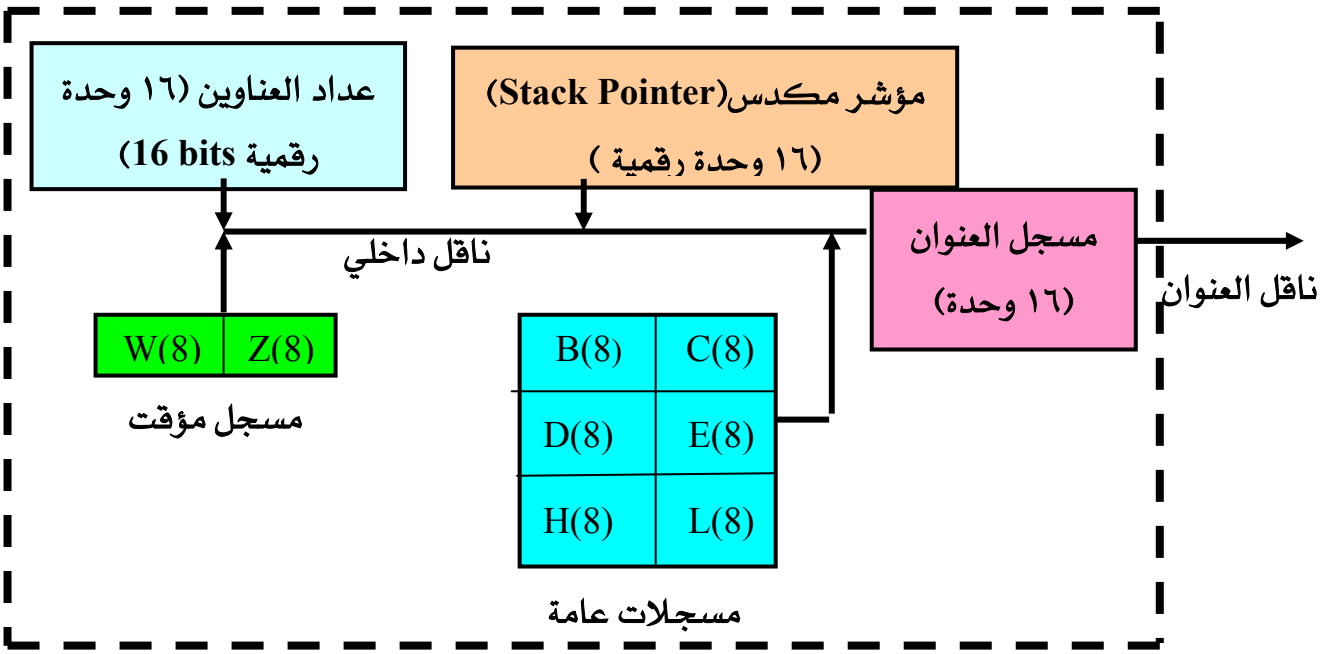
٤. لتنفيذ الأمر، يستعمل مسجل التعليمات مصدر أوامر مصغرة(micro-instructions)، يقوم الصانع بتخزينها داخل المعالج عند تصنيعه، فمصدر الأوامر المصغرة هو عبارة عن برنامج أصلي داخل المعالج هدفه تفسير كل التعليمات المستعملة في البرنامج المخزن في الذاكرة.




الشكل (٨- ٣ ) يوضح المعالج – وحدة التحكم – مسجل التعليمات و مفسر التعليمات

## ٨- ٣ مصادر مسجل العنوان

هناك عدة مصادر لمسجل العنوان، يمثل المسجلان (H) و (L) مصدران أساسيان لمسجل العناوين عند المعالج Intel 8085 .




الشكل (٨- ٤) مصادر العناوين لمسجل العنوان

عندما نستعمل أمراً ما عنواناً، فيحوّل هذا الأخير داخل المسجلات المؤقتة (W) و (Z) ثم نحو عداد البرنامج ثم نحو المسجلين (H), (L) الذين يمثلان مسجلاً ذو ١٦ وحدة رقمية ( عدّاد البرنامج يزوّد بواحد و يصبح مخزناً لعنوان الموقع المباشر المستعمل في الأمر).

**مثال :** ليكن 0012H هو العنوان المستعمل مع أمر ما (سنتطرق إلى هذه الأوامر فيما بعد).

- **المرحلة الأولى:** هذا العنوان يحول داخل المعالج باستعمال ناقل البيانات :
  - ناقل البيانات يحوّل الـــByte الأوّلي للعنوان و يخزنه في المسجل المؤقت (Z)
  - ناقل البيانات يحوّل الـــByte الأعلى للعنوان و يخزنه في المسجل المؤقت (W)

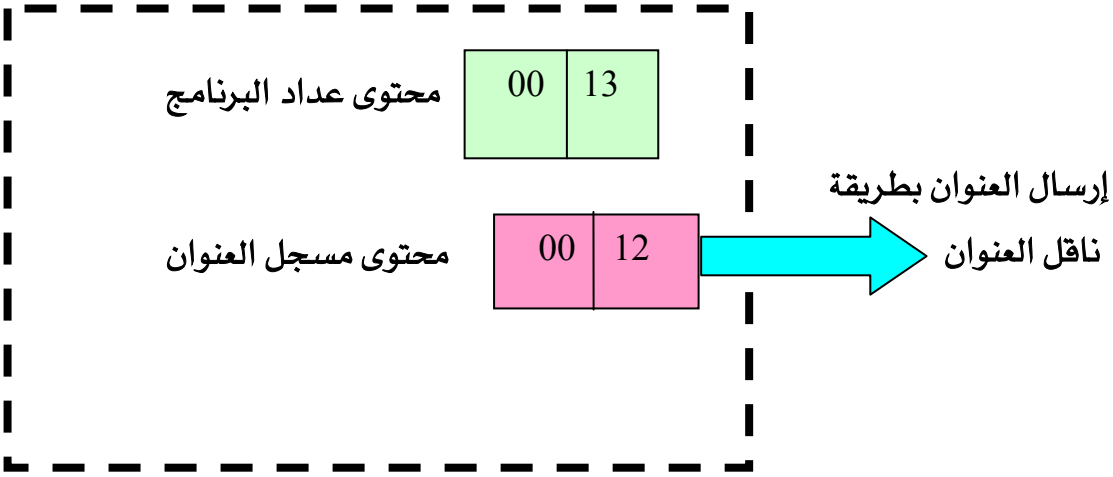
| 00 | 12 |
|---|---|
| W | Z |

محتوى عداد البرنامج

| 00 | 12 |
|---|---|

- **المرحلة الثانية** : يحوّل العنوان داخل مسجل عدّاد البرنامج

- **المرحلة الثالثة** : يحوّل محتوى مسجل عداد البرنامج إلى مسجل العنوان ثم إلى ناقل العنوان و يزوّد عداد البرنامج بواحد.




## ٨- ٤ المعالج Intel 8085A : المسجلات و التعليمات

### ٨- ٤- ١ المسجلات

يحتوي هذا المعالج على المسجلات الآتية:

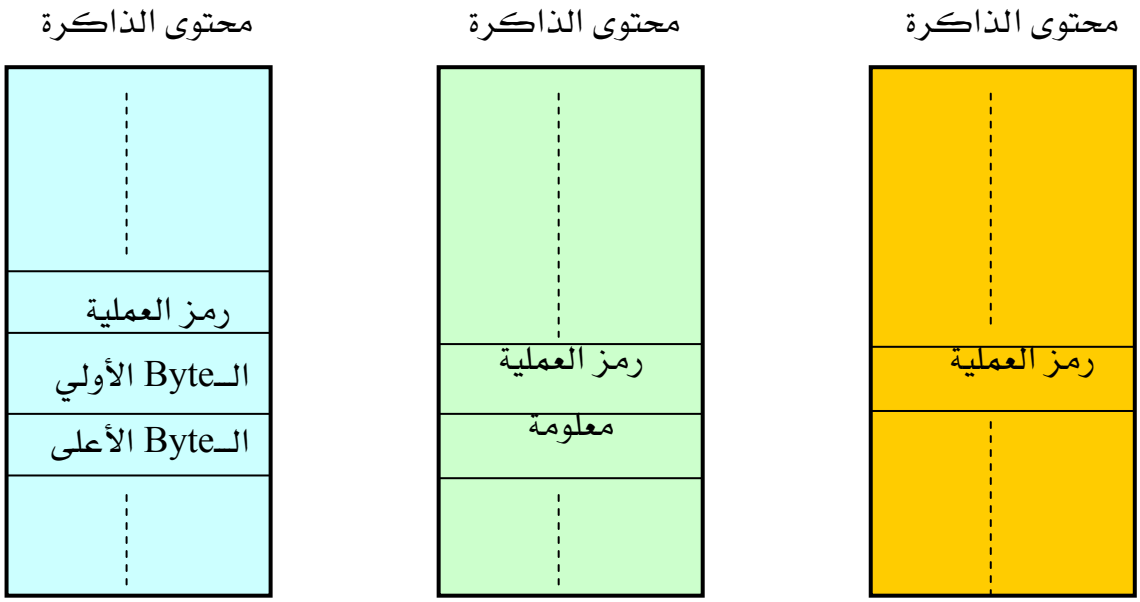
- مسجل عدّاد البرنامج ذو ١٦ وحدة رقمية
- مسجل مؤشر مكدس (المكدس هي مساحة مؤقتة من الذاكرة، تستخدم لحفظ مجموعات من البيانات. كلما أضيفت معلومة جديدة نزلت كل البيانات السابقة بموقع واحد و من هنا يقال إنها "مكدسة" واحدة فوق الأخرى.
- 6 مسجلات عامة مرتبة ثنائياً : BC ، DE ، HL.
- مسجلات مؤقتة مرتبة ثنائياً : WZ
- مسجل رئيس A ذو 8 وحدات رقمية يسمى المركم : موقع يستخدم لإجراء العمليات الحسابية.

### ٨- ٤- ٢ التعليمات أو الأوامر

إن تعليمات المعالج Intel 8085A تتكون من ثلاث مجموعات:

١. مجموعة التعليمات التي تحتل موقع واحد في الذاكرة (1 Byte)
٢. مجموعة التعليمات التي تحتل موقعين في الذاكرة (2 Bytes)
٣. مجموعة التعليمات التي تحتل ثلاثة مواقع في الذاكرة (3 Bytes)

الموقع الأول يحتوي دائماً على رمز العملية (Operation Code) ويمكن توضيح المجموعات الثلاث كما بالالشكل(٨- ٥).




**الشكل (٨- ٥): مجموعة التعليمات للمعالج Intel 8085A**

**مثال** : أمر القفز إلى موقع ذي عنوان ما (تعليمة تحتل ثلاثة مواقع)

الأمر يكتب على النمط التالي:

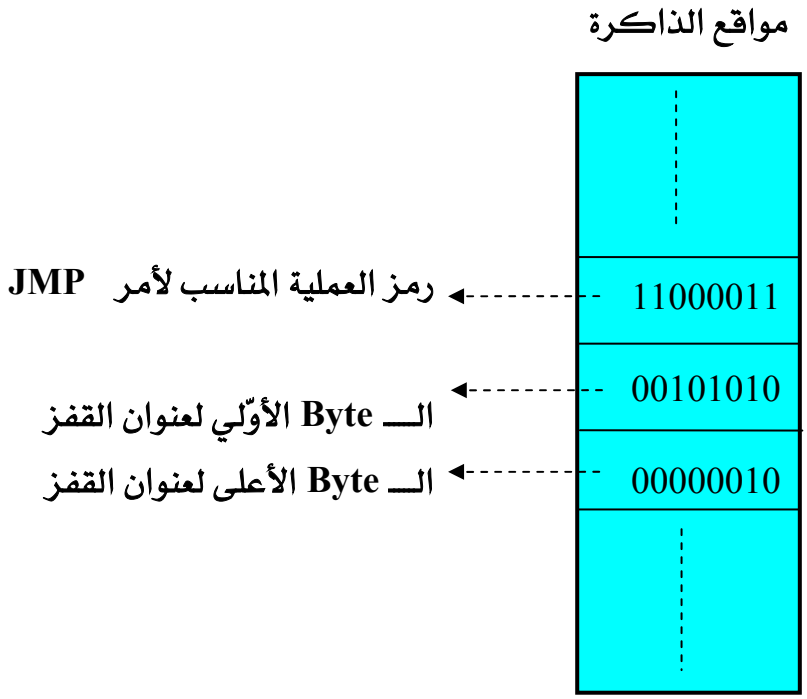
**JMP addr**

**عنوان الموقع المطلوب القفز إليه** **مختصر لأمر القفز (JMP: JUMP)**

لتعريف عنوان القفز ـ 022A

يكتب الأمر على الصورة JMP 022A ، ثم يتم تخزين هذا الأمر في الذاكرة ويستعمل رمز العملية المناسب للأمر..

رمز العملية هو عبارة عن معلومة تكتب بصيغة الترقيم السداسي العشري على خانتين، والرمز المناسب لهذا الأمر هو C3 ، ومن هنا يمكن التخزين على الالشكل التالي :




**الشكل (٨- ٦) تخزين الأمر JMP 022A**

## ٨- ٥ تفسير التعليمات أو الأوامر

### ٨- ٥- ١ تعليمات تحتل ثلاثة مواقع في الذاكرة

في حالة هذه التعليمات يقوم المعالج بالمراحل التالية:

١. تحويل رمز الأمر داخل مسجل التعليمات
٢. تحويل الـــByte الأوّلي لعنوان القفز داخل المسجل المؤقت (Z)
٣. تحويل الـــByte الأعلى لعنوان القفز داخل المسجل المؤقت (W)

### ٨- ٥- ٢ تعليمات تحتل موقعين في الذاكرة

في هذه الحالة يقوم المعالج بالمراحل التالية:

١. تحويل رمز العملية داخل مسجل التعليمات
٢. تحويل المعطية داخل المسجل المؤقت (Z)

### ٨- ٥- ٣ تعليمات تحتل موقعاً واحداً

في هذه الحالة يحوّل رمز العملية داخل مسجل التعليمات. بعد تفسير رمز العملية (لأيّ حالة كانت) و يقوم المعالج بتنفيذها باستعمال مصدر التعليمات المصغرة.

## ٨- ٦ تعليمات تحويل البيانات

تستعمل عدة تعليمات لتحويل البيانات من مسجل إلى آخر داخل المعالج. المسجل الأصلي الموجود فيه البيانات يسمى بالمصدر و المسجل النهائي الذي يتم تحويل البيانات إليه يسمى الاتجاه.

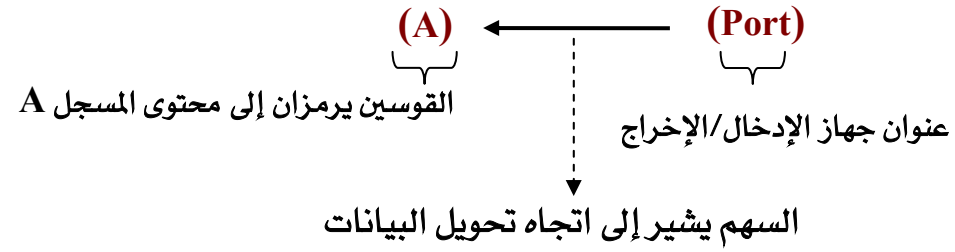
لتحويل البيانات يوجد ثلاثة أنواع من طرق التحويل وهي على النحو التالي:

١. طريقة تحويل البيانات ما بين المعالج ووحدات الإدخال/الإخراج.
٢. طريقة تحويل البيانات ما بين المعالج و الذاكرة.
٣. طريقة تحويل البيانات داخل المعالج.

### ٨- ٦- ١ طريقة تحويل البيانات ما بين المعالج و وحدات الإدخال/الإخراج

#### ٨- ٦- ١- ١ تحويل بيانات من وحدات الإدخال/الآخراج إلى المعالج

الأمر المستعمل لتحويل معلومة من وحدات الإدخال أو الإخراج إلى المعالج الدقيق يكتب على الصورة التالية:



العبارة المستعملة في هذه الحالة يمكن تفسيرها كما يلي:

محتوى جهاز الإدخال/الإخراج ذي عنوان (Port) يحوّل داخل المسجل الرأسي (أو المركم) A.

الأمر المستخدم لهذه العبارة هو : **IN Port**

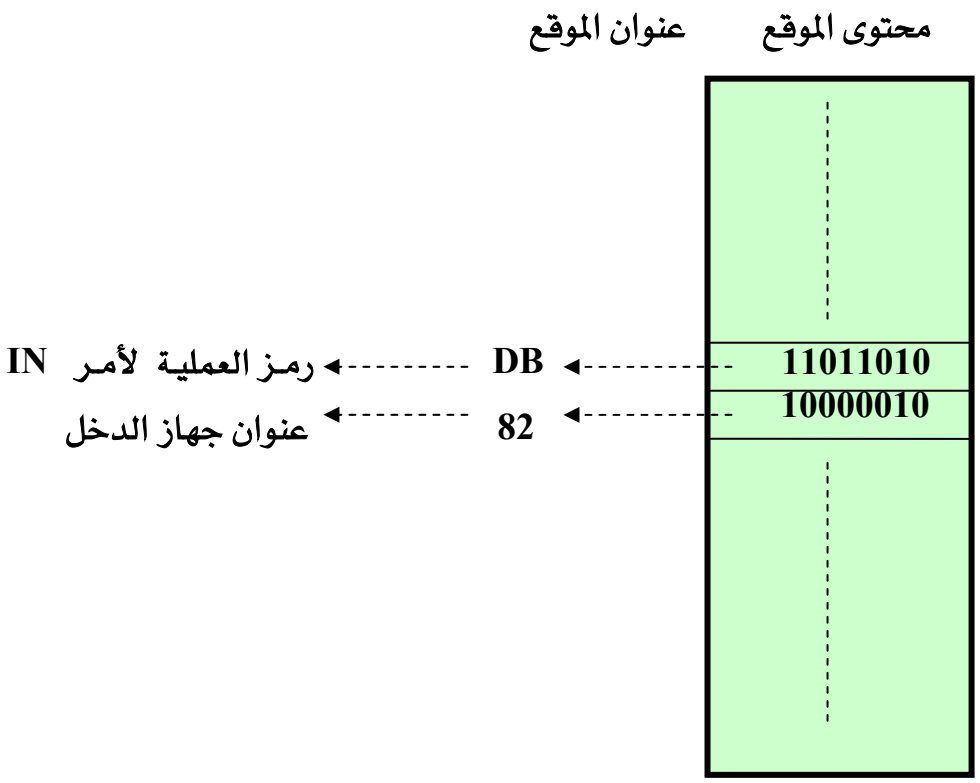
**أختصار لأمر إدخال** (Input)

**عنوان جهاز الدخل** : يكتب هذا العنوان على خانتين باستعمال الترقيم السداسي العشري

**ملحوظة:** هذه الطريقة لكتابة عنوان الاتصال بالجهاز خاصة بالمعالج Intel 8085A.

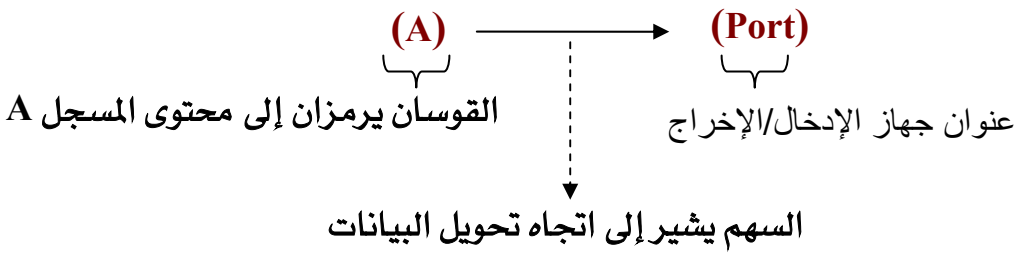
**مثال:** IN 82

يخزن هذا الأمر في الذاكرة على الصيغة الآتية:



## ٨- ٦- ١- ٢ تحويل بيانات من المعالج إلى وحدات إدخال/إخراج

يكتب الأمر المستعمل في هذه العملية على الصورة التالية:




يمكن تفسير التعبير المستخدم على النحو التالي:

يحول محتوى المركم إلى جهاز الخرج ذي العنوان **(Port)**

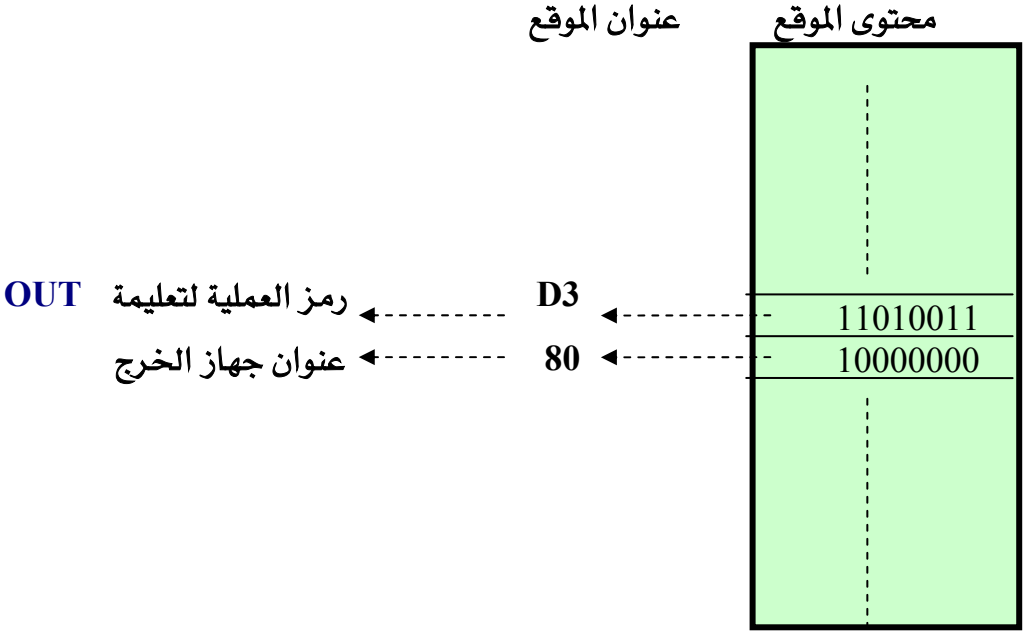
الأمر المستعمل لهذا التعبير هو : **OUT Port**

اختصار لأمر إخراج (Output)

**عنوان جهاز الإخراج** : يكتب هذا العنوان على خانتين باستعمال الترقيم السداسي العشري.

**مثال :** OUT 80

يخزن هذا الأمر في الذاكرة على الصورة التالية:



## ٨- ٦- ٢ طريقة تحويل البيانات بين المعالج و الذاكرة

### أولاً: التحويل غير المباشر

الأمر الذي يستعمل لهذا النوع من التحويل يتكون من الأمر نفسه و مصدر و اتجاه وقيمة المعلومة التي تحول من المصدر إلى الاتجاه وتكون غير ظاهرة في الصيغة التي يكتب عليها الأمر.

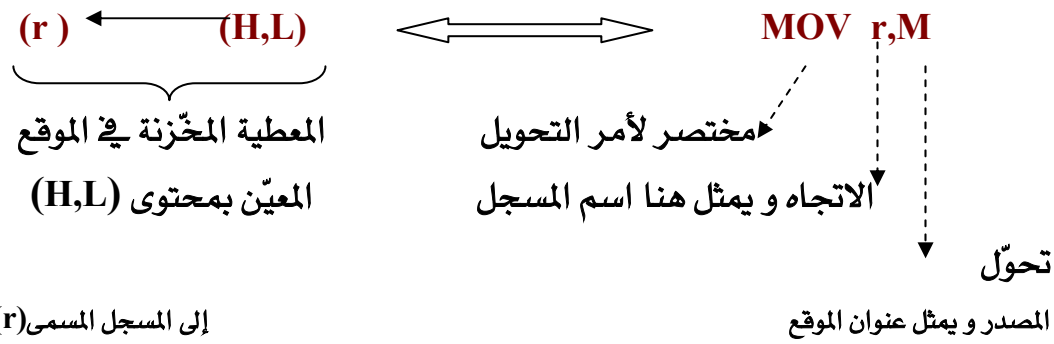
**مثال:** (مختصر للأمر) أ، ب

أ: يمثل المصدر ( موقع ذاكرة أو مسجل)

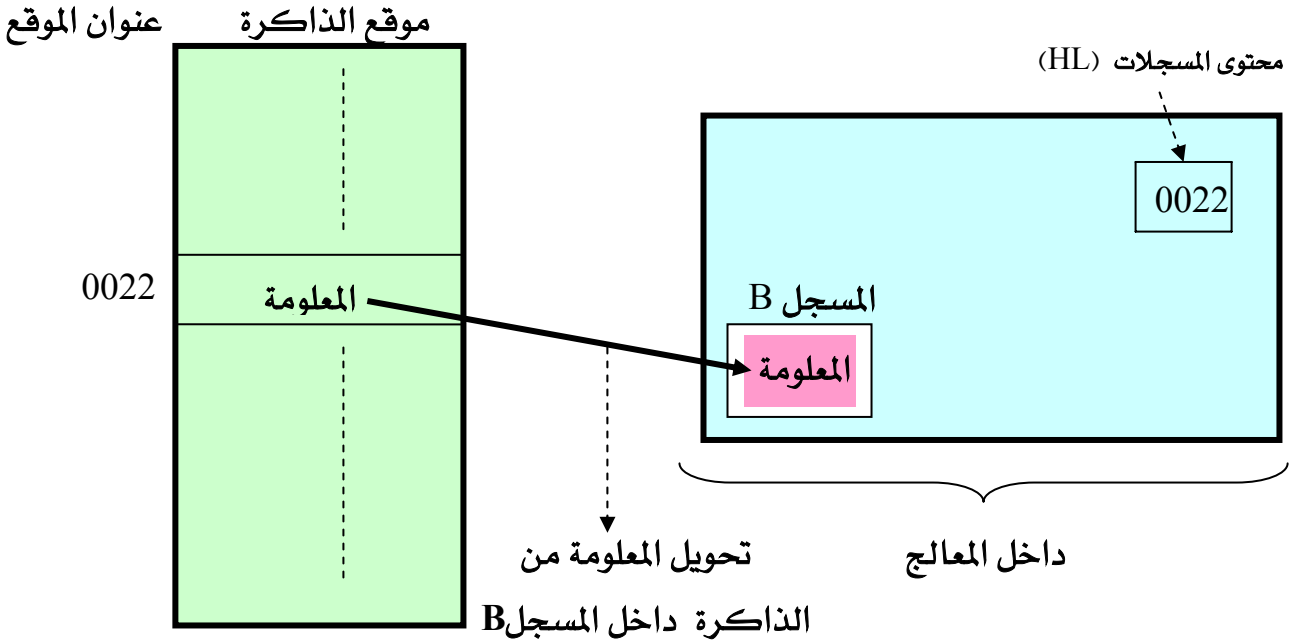
ب: يمثل الاتجاه (موقع ذاكرة أو مسجل)

- **أمر التحويل من الذاكرة إلى مسجل**

يكتب هذا الأمر على الصيغة العامة الآتية :




**مثال:** MOV B,M



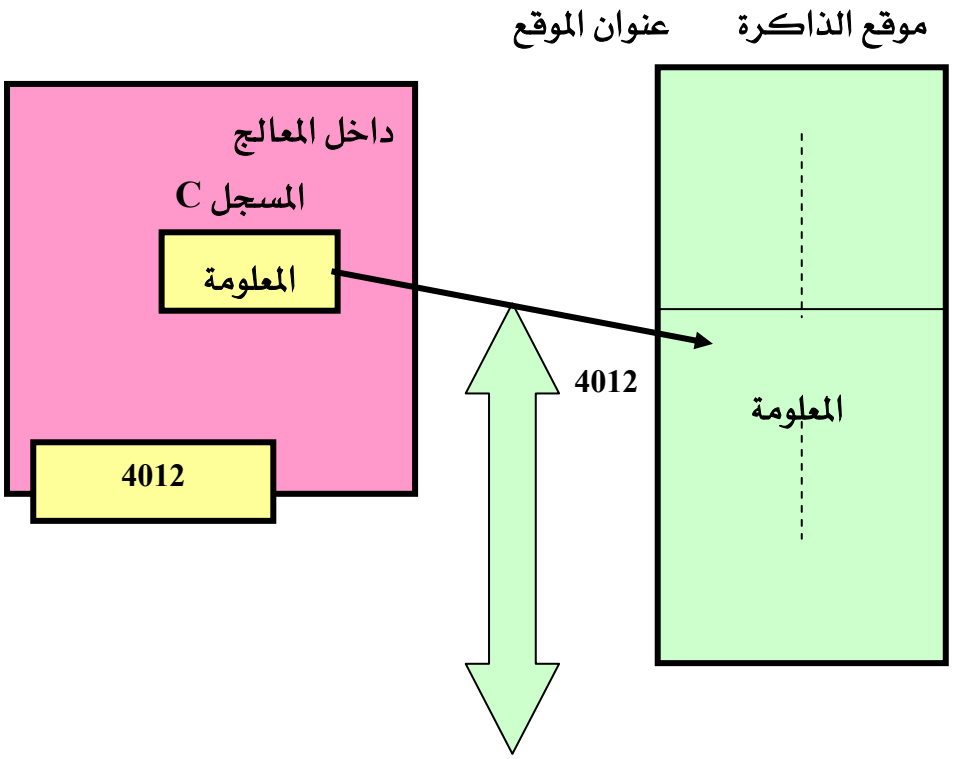
- **أمر تحويل البيانات من المسجل إلى الذاكرة.**

يكتب هذا الأمر على الصيغة العامة الآتية:

**MOV M,r** ⟺ **(r) ⟵ (H,L)**

المعلومة المخزنة في المسجل (r) (قيمتها غير ظاهرة في التعليمة) تحول إلى موقع في الذاكرة، ومحتوى المسجلات (HL) يعبر عن عنوان الموقع.

**مثال:** MOV M,C




**تحويل المعطية من المسجل C نحو موقع الذاكرة**
**المعيّن بمحتوى المسجلات (HL)**

**ثانياً: التحويل المباشر.**

في هذا النوع من التحويل المعلومة تظهر كجزء في صيغة الأمر.

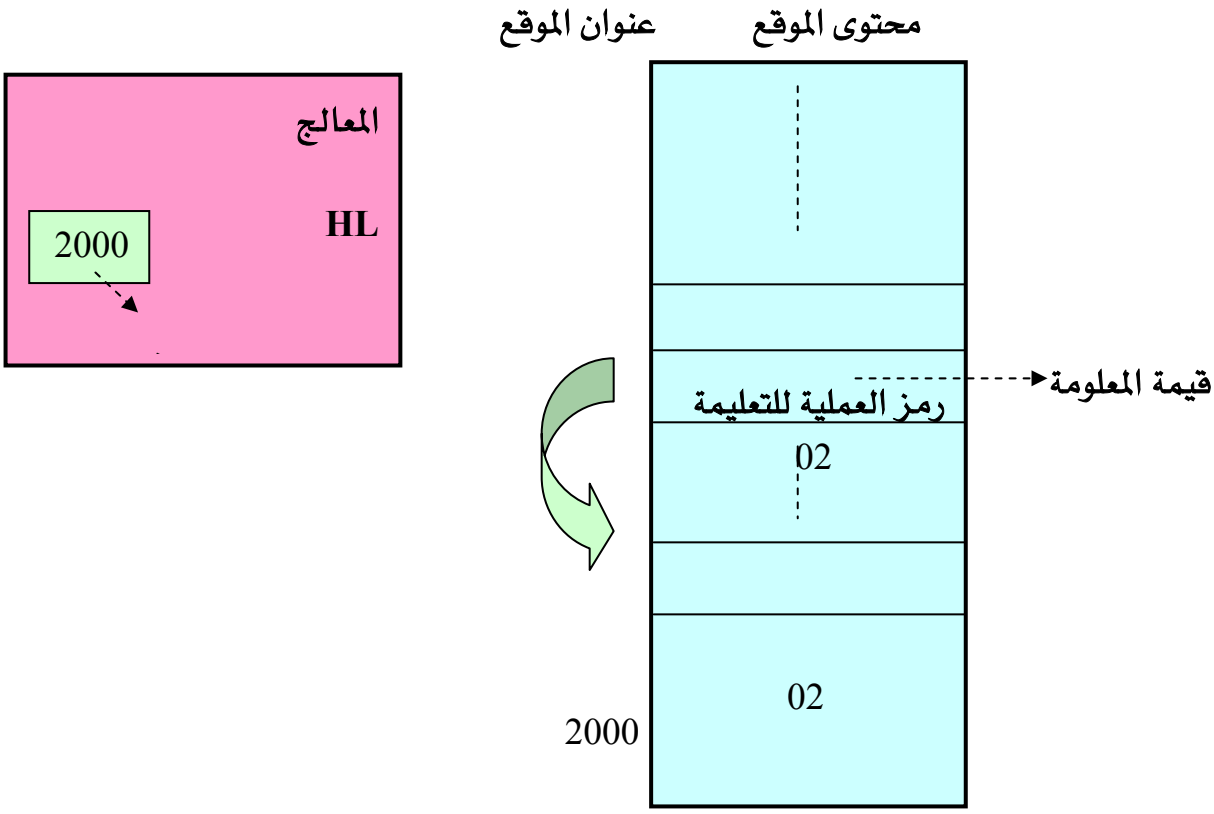
- **تعليمات التحويل داخل الذاكرة.**

صيغة الأمر تكتب على النمط التالي:

**MVI M,data** ⟺ **(data)** ⟵ **(H,L)**

تحويل المعلومة ذات قيمة (data) داخل الموقع المعين بمحتوى المسجلات (H,L)

مثال : MVI M,02



- **تعليمات التحويل نحو مسجل**

في هذا النوع من التحويل يكتب الأمر على النمط التالي:

**(r) ←(data) ⟺ MVI r,data**

المعلومة ذات قيمة data ( و هي على 8 وحدات رقمية ) تحول داخل المسجل r

**مثال:** MVI D,54

تحويل المعلومة 54 داخل المسجل D .

كما نعلم بإمكان المعالج أن يستعمل مسجلين ليكونا مسجلاً ذا 16 وحدة رقمية، وفي هذه الحالة صيغة أمر التحويل تختلف عن السابقة و تكتب على النمط التالي:

**(rp) ←data 16 ⟺ LXI rp,data 16**

تحويل المعلومة (قيمتها على 16 وحدات رقمية) داخل المسجلين r و p اللذان يكوّنان المسجل rp.

**مثال:** LXI BC,0142

تحويل المعطية 0142 داخل المسجل BC.

القيمة 42 تصبح تمثل محتوى المسجل C و القيمة 01 تصبح تمثل محتوى المسجل B.

### ٨- ٦- ٣ تحويل البيانات داخل المعالج ما بين المسجلات

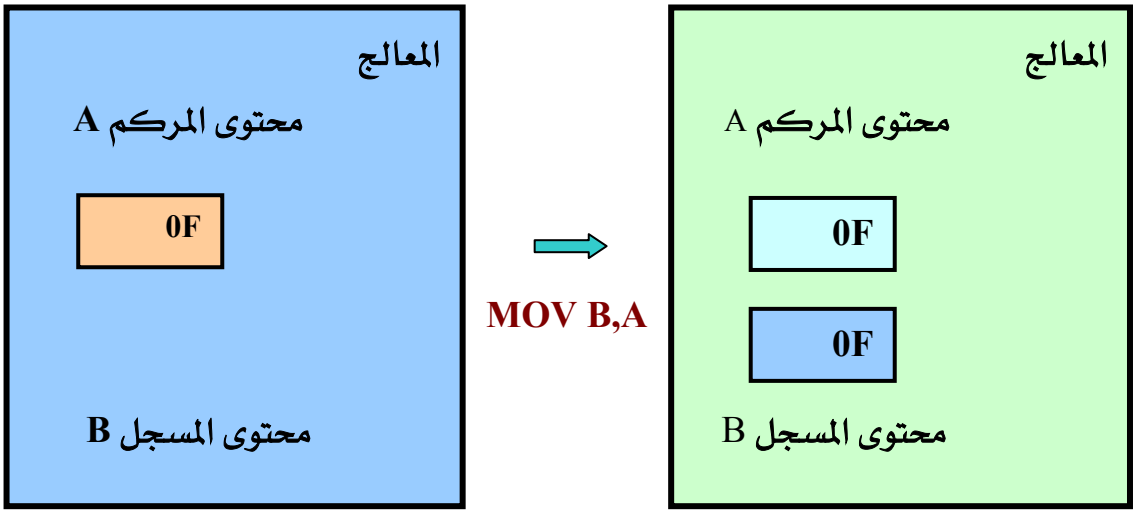
بعض الحالات تستلزم تحويل المعلومة (بعد إدخالها للمعالج) من مسجل إلى آخر. الأمر الذي يقوم بهذا العمل هو أمر النقل : MOV ، و تكتب على النمط التالي:

**(r1) ←(r2) ⟺ MOV $r_1$,$r_2$**

يحوّل محتوى المسجل ($r_2$) داخل المسجل ($r_1$)

**مثال:** MOV B,A محتوى المسجل (A) يحوّل داخل المسجل (B)

(B) ⟵ (A) ⟺ MOV B,A




## ٨- ٧ العمليات المنطقية

إن نتائج العمليات حسابية كانت أو منطقية تستعمل لأداء قرار مامن طرف المعالج ، و لذلك يوجد داخل المعالج مسجل خاص يسمى بمسجل الحالات ، يخزن هذا المسجل وحدات رقمية تدل على حالة الأخير نتيجة عملية قام بتنفيذها المعالج. يرمز لهذا المسجل بـ F و مكوّن حسب الالشكل التالي:

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| S | Z | A | P | C | Y | C | |

| الوحدة الرقمية | 7 | 6 | 4 | 2 | 0 |
|---|---|---|---|---|---|
| الرمز | S(Sign) | Z(Zero) | AC(Auxiliary Carry) | P(Parity) | CY(Carry) |
| التسمية | الإشارة | الصفر | مساعد الحافظة | التكافؤ | الحافظة |

هذه الوحدات الرقمية يمكن أن يكون لها قيمة 0 أو 1 (الوحدات رقم 1 ، 3 ,5 غير معرفة ).

### ٨- ٧- ١دليل محتوى مسجل الحالات

- **الإشارة:** إذا كانت الحالة المنطقية لهذه الوحدة 1 فهذا يدل على أن محتوى المركم A سلبي.

**مثال:** افترض أن محتوى المركم 04 و محتوى المسجل B 05 ويقوم المعالج بالعملية (A-B)، فتكون نتيجة هذه العملية هي 01-. إشارة (- )تحفظ قيمة الوحدة الرقمية 7 (الإشارة) في الحالة المنطقية 1.

- **الصفر:** الحالة المنطقية 1 على هذه الوحدة الرقمية تدل على أن نتيجة آخر عملية قام بها المعالج قيمتها 0

- **مساعد الحافظة**: الحالة المنطقية 1 على هذه الوحدة الرقمية تدل على أن هناك حافظة بين الوحدة الرقمية الثالثة و الوحدة الرقمية الرابعة نتيجة العملية الأخيرة التي قام بها المعالج.

**مثال:** نفترض أن محتوى المركم 0E و محتوى المسجل B هو 02 و يقوم المعالج بالعملية (A+B)

| | | |
|---|---|---|
| محتوى المركم | 00001110 | |
| محتوى المسجل B | 00000010 | + |
| نتيجة العملية | 00010000 | = |

إذا أجرينا العملية يدوياً نلاحظ أن قيمة الوحدة الرقمية ($D_4$) هي قيمة الحافظة للوحدة الرقمية ($D_3$).

- **التكافؤ**: الحالة المنطقية 1 على هذه الوحدة تدل على أن عدد الوحدات الرقمية للناتج (آخر عملية) هو زوجي.

- **الحافظة**: الحالة المنطقية 1 لهذه الوحدة تدل على أن محتوى المركم A تجاوز أقصى قيمة مسموح بتخزينها في هذا المسجل (أي FF )

**مثال:** نفترض أن محتوى المركم هو FF و محتوى المسجل B هو 10 والعملية المطلوبة هي (A) + (B)

هذه الوحدات الرقمية يمكن أن تكون لها قيمة 0 أو 1 (الوحدات رقم 1، 3 ,5 غير معرفة ).

محتوى المركم 11111111

محتوى المسجل B 10000000 +

نتيجة العملية هي 01111111 =

نتيجة هذه العملية تجاوزت قدرة التخزين في المسجل و لذا الحالة المنطقية في مسجل الحالات التي تمثل الحافظة ستكون بقيمة 1.

## ٨- ٨ المخطط الانسيابي Flowchart

بعد القيام بتعريف الوظائف اللازمة في البرمجة للمعالج الدقيق لذا يجب على المستخدم أن يقوم بكتابتها حسب المراحل بطريقة منظمة ومتسلسلة متعارف عليها ، و لهذا الغرض تستعمل طريقة المخطط الانسيابي لإظهار كل هذه المراحل بالتسلسل المطلوب.

ترتكز طريقة المخطط الانسيابي على الرموز ومغزاها كما يلي:



**: انسياب البرنامج (Program Flow)**

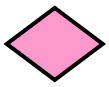
**يشير هذا الرمز للمرحلة التي سيقوم بتنفيذها المعالج.**

**: العملية (Process)**

**العملية المذكورة داخل هذا الرمز تنفّذ من طرف المعالج**

**: العملية المعرّفة (Predefined Process)**

**البرنامج الفرعي المذكور ينفّذ من طرف المعالج**



**: القرار(Decision)**

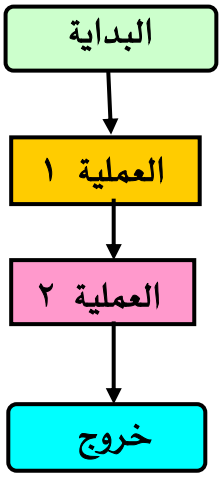
**المرحلة التي ستنفّذ من طرف المعالج يشير إليها حسب الحالة المذكورة داخل شبه المنحرف**

**: الطرّفية (Terminal)**

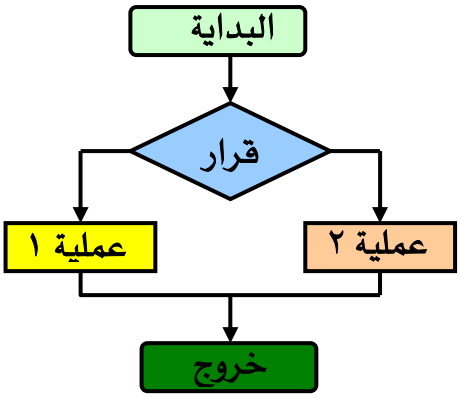
**بداية أو نهاية البرنامج الفرعي أو البرنامج الرئيس**

أمثلة:

المثال الأول:

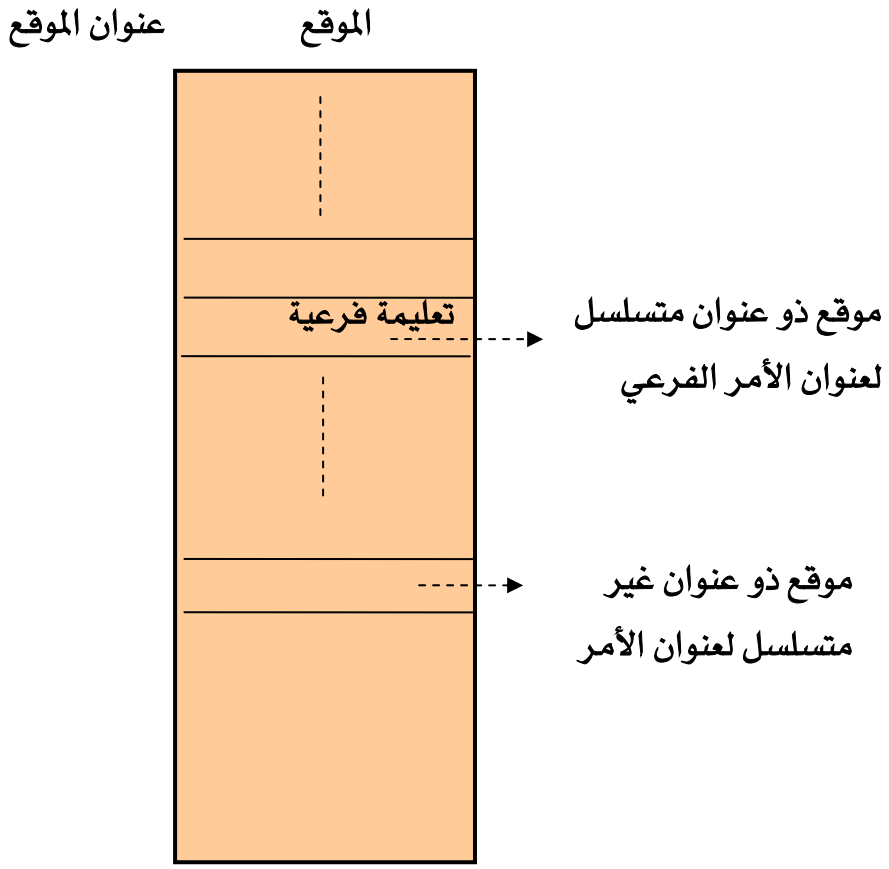



المثال الثاني:




## ٨- ٩ التعليمات أو الأوامر الفرعية Branch Instructions

تستعمل التعليمات الفرعية في البرمجة لتحويل اتجاه البرنامج الرئيس (أو البرنامج الفرعي) بتغيّير قيمة عداد البرنامج إلى عنوان غير متسلسل للأمر الفرعي كما هو موضح في المثال التالي:



**أنواع التعليمات الفرعية**: يوجد نوعان من الأوامر أو التعليمات الفرعية وهما:

١. تعليمات القفز (JUMP Instructions)

٢. تعليمات النداء (CALL Instructions)

## ٨- ٩- ١ تعليمات القفز (JMP: JUMP)

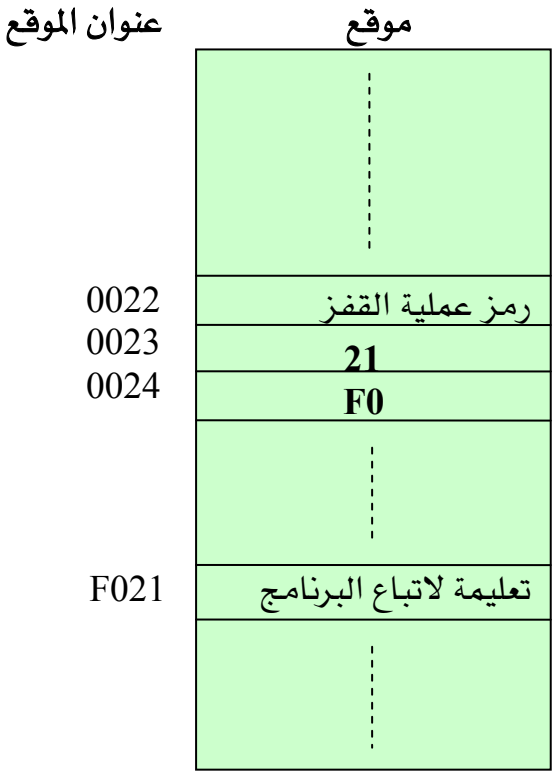
### ٨- ٩- ١- ١ أمر القفز بدون شرط

يكتب هذا الأمر على النمط التالي: **JMP addr**

يمثل الاختصار JMP أمر القفز إلى الموقع ذي العنوان المذكور (في الأمر)، و addr هو العنوان المذكور.

**مثال:**

JMP F021




محتوى مسجل عداد البرنامج بعد تنفيذ أمر القفز سيكون F021.

### ٨- ٩- ١- ٢ أمر القفز بالشّرط

يكتب أمر القفز بالشرط على النمط أو الصورة التالية :

**J< شرط > addr**

يمثل **J** اختصاراً لأمر القفز، إذا كان الشرط صحيحاً فالبرنامج يستمر و ينفّذ حسب التعليمة المخزنة في الموقع المعين بالعنوان (addr) المذكور في أمر القفز.

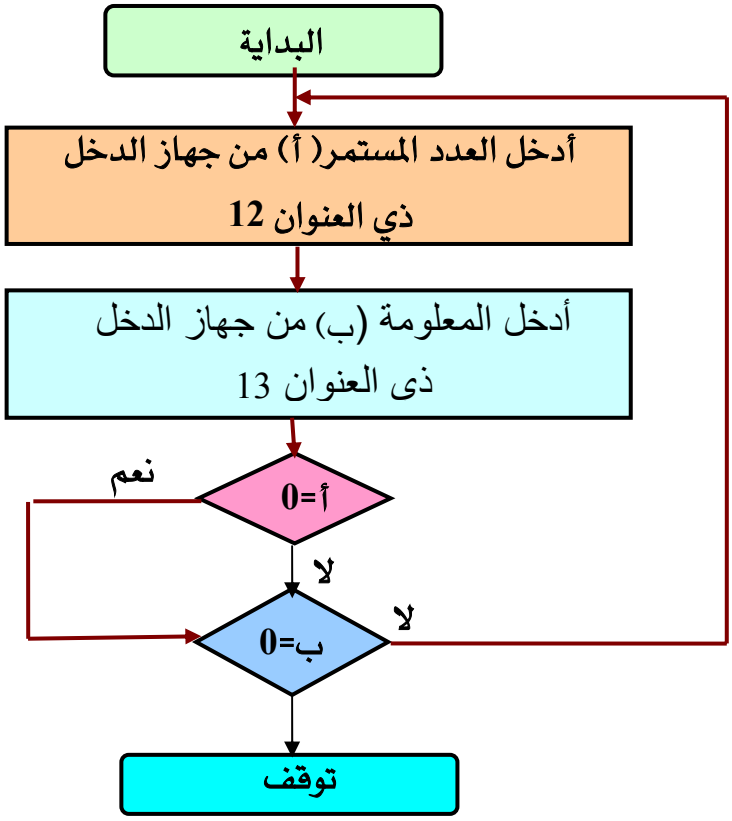
**مثال**: من أوامر القفز بالشرط يوجد الأمر **Jump if Zero: JZ**

الشرط هنا يتمثل في: إذا كانت نتيجة العملية الأخيرة (التي نفّذت من طرف المعالج) صفراً فالبرنامج يستمر حسب التعليمة المخزنة في العنوان المذكور في أمر القفز بالشرط.

JZ 0023

العنوان 0023 يمثل العنوان المذكور في أمر القفز بالشرط.

**مثال**: المخطط الانسيابي لبرنامج يستعمل أوامر القفز بالشرط.



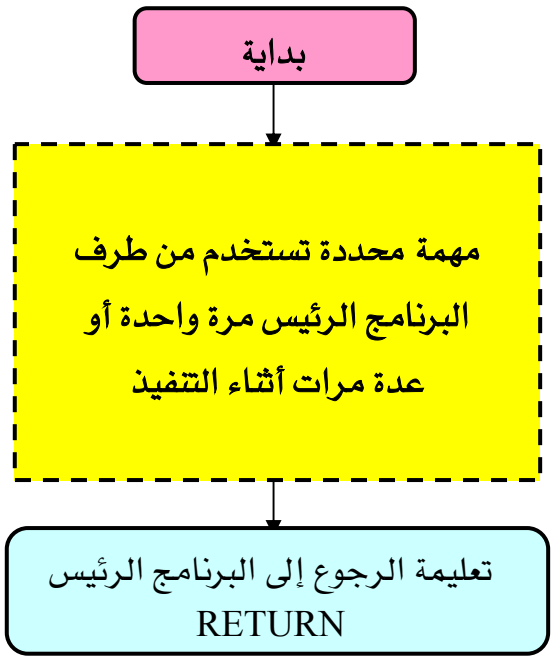

## ٨- ٩- ٢ تعليمات النداء

تستعمل هذه التعليمات على الاشكل التالي:

**CALL addr**

الاختصار addr يمثل هنا عنواناً لبرنامج أو بدقة أكثر عنواناً لجزء من برنامج يسمى البرنامج الفرعي أو جزء من برنامج يؤدي مهمة محددة (subroutine) ويمكن للبرنامج الرئيس أن يستخدمه لمرة واحدة أو عدة مرات أثناء التنفيذ ، و في العادة يقوم الأمر الأخير في هذا الجزء بإعادة (RETURN) المعالج إلى الأمر الذي يتلو ذلك الأمر الذي غادر البرنامج الرئيس عنده.

المخطط الانسيابي لهذا الجزء (subroutine) يمكن أن يكون كما يلي:



# تدريبات على الوحدة السابعة

(٨- ١) العملية القاعدية للمعالج الدقيق مراقبة من طرف وحدة التحكم و هي عملية متكررة تتمثل في أخذ و تنفيذ التعليمات صح أم خطأ ؟

(٨- ٢) عرّف الأخذ و التنفيذ للتعليمة.

(٨- ٣) ماذا تمثل التعليمة HLT للمعالج ؟

(٨- ٤) عند تغذية المعالج تقوم وحدة التحكم بتشغيل عداد البرنامج ابتداء من العنوان القاعدي صح أم خطأ ؟

(٨- ٥) هل محتوى الموقع القاعدي في ذاكرة ROM يمثل تعليمة أم معلومة ؟

(٨- ٦) عرّف دور مصدر التعليمات المصغرة(micro-instructions).

(٨- ٧) افترض أن العنوان 0125H يستعمل من طرف المعالج ، ما الالشكل المناسب عند تخزين هذا العنوان في المسجلات المؤقتة Z و W:

(٨- ٨) باستعمال المصطلحات : تعليمة، ومعطية، الـByte الأولي، الـByte الأعلى ارسم الشكل تخزين التعليمات الآتية في الذاكرة:

أ- تعليمة تستعمل موقعاً واحداً في الذاكرة

ب- تعليمة تستعمل موقعين في الذاكرة

ج- تعليمة تستعمل ثلاثة مواقع في الذاكرة

**(٨- ٩)** اربط العبارات الآتية:

أ- (Port) ⟵ (A) ; (A) ⟶ (Port)

ب- MOV r,M

ج- MOV $r_1,r_2$

بطريقة الإرسال المناسبة: ١- إرسال بين مسجلين ٢- إرسال من الذاكرة نحو المسجل

٣- إرسال من المسجل نحو الذاكرة ٤- إرسال بين المعالج و وحدات الإدخال/الإخراج

**(٨- ١٠)** عرف التحويل غير المباشر و التحويل المباشر

**(٨- ١١)** ما التعليمات التي تدل على التحويل المباشر و التي تدل على التحويل غير المباشر:

MVI M,45 ; LXI DE,FH01 ; MOV A,C ; MOV M,E ; MVI D,FC ; MOV C,M

**(٨- ١٢)** أ- عند تنفيذ التعليمة MOV A,B محتوى المسجل ..... ينقل إلى المسجل .....

ب- عند تنفيذ التعليمة MOV B,M محتوى ..... ينقل إلى .....

ج- عند تنفيذ التعليمة MVI C,1A يقوم المعالج.....

د- التعليمة التي تناسب تحويل المعطية 1D إلى موقع معين في الذاكرة هي .....

**(٨- ١٣)** عرّف المسجل التالي ومحتواه.

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| A | Z | A | P | C | Y | C | |

**(٨- ١٤)** يقوم المعالج بعملية (A-B) علماً بأن محتوى المسجلين أصلا بنفس القيمة فما هي قيمة الوحدة الرقمية 6 في المسجل السابق (تمرين رقم (٨- ١٣)) ؟.

(٨- ١٥) عرف المخطط الانسيابي.

(٨- ١٦) اكتب المخطط الانسيابي للعمل التالي:

يقوم المعالج بقراءة معطية من وحدة إدخال على العنوان 12H و يطرح محتوى المسجل B من هذه المعطية، ونتيجة عملية الطرح ترسل إلى وحدة إخراج على العنوان 13H.

(٨- ١٧) عرّف المختصر (JMP)، ما التعليمة التي ينتسب إليها ؟

(٨- ١٨) ماذا تعني القيمة 01FE التي تكوّن التعليمة JMP 01FE ؟

(٨- ١٩) ما الفرق بين تعليمة القفز بالشرط و تعليمة القفز بدون شرط ؟

(٨- ٢٠) عرّف الخطأ في التعليمات الآتية:

JMP ABCDH ; JMP 012FH ; JMP 12H ; JMP 158GH ; JZ 00FFH ; JP 012FH
. JM AFF0H ; JMP 013H

# المراجـــــع

[1] Nigel P. Cook, Introductory Digital Electronics. New Jersey: Prentice-Hall, Inc. 1998.

[2] M. Morris Mano, Digital Logic and Computer Design, Prentice- Hall, Inc. of India - 2000.

[3] Thomas L. Floyd, Digital Fundamentals, Seventh Edition, Prentice-Hall, Inc. 2000.

[4] M. Morris Mano, Digital Design, Prentice- Hall, Inc. Aug 2001.

# المحتويات

مقدمة . . . . . .
الوحدة الأولى : نظم العد . . . . . - ١ -
مقـــــــــدمة Introduction . . . . . - ٢ -
١- ١ نظـــم الأعـــداد Numbers Systems . . . . . ٣
الوحدة الثانية : الدوائر المنطقية البسيطة . . . . . - ٢ -
٢- ١ البـــوابات Gates . . . . . ٢٣
٢- ٢ قواعد الجبر البوليني Rules of Boolean Algebra . . . . . - ٣٥ -
٢- ٣ تمثيل دائرة منطقية من خلال جدول الحقيقة . . . . . - ٣٧ -
٢- ٤ تحويل التعبير البوليني إلى جدول الحقيقة . . . . . - ٣٩ -
٢- ٥ تبسيط التعبيرات البولينية باستخدام الجبر البوليني . . . . . - ٤١ -
تدريبات على الوحـــدة الثانية . . . . . خطأ! الإشارة المرجعية غير معرّفة.
الوحدة الثالثة : الدوائر المنطقية التوافقية . . . . . - ٤٦ -
مقـــــــــدمة Introduction . . . . . - ٤٧ -
٣- ١ نظريات ديمورجان Demorgan's Theorems . . . . . - ٤٧ -
٣- ٢ الخواص العامة لبوابات NOR, NAND . . . . . - ٤٩ -
٣- ٣ تصميم الدوائر المنطقية التوافقية باستخدام بوابات NOR ،NAND . . . . . - ٥٢ -
٣- ٤ خريطة كارنو Karnaugh Map . . . . . - ٥٧ -
٣- ٥ التبسيط باستخدام خريطة كارنو Simplification using Karnaugh-map . . . . . - ٥٧ -
٣- ٦ دوائر الجامع و الطارح الثنائية Binary Adder and Subtractor Circuits . . . . . - ٦٦ -
تدريبات على الوحدة الثالثة . . . . . - ٧٤ -
الوحدة الرابعة : الدوائر المنطقية المتعاقبة . . . . . - ٧٦ -
مقدمـــــــة Introduction . . . . . - ٧٧ -
٤- ١ القلابات . . . . . - ٧٧ -
٤- ٢ مسجلات الإزاحة Shift Registers . . . . . - ٩١ -
٤- ٣ العدادات Counters . . . . . - ٩٩ -
٤- ٤ وحدات التعدد ( منتخبات البيانات ) Multiplexers (Data Selectors) . . . . . - ١٠٩ -
٤- ٥ وحدات فك التعدد Demultiplexers . . . . . - ١١١ -
تدريبـــات على الوحدة الرابعة . . . . . - ١١٣ -
الوحدة الخامسة : المعالج الدقيق . . . . . خطأ! الإشارة المرجعية غير معرّفة.
٥- ١ مفاهيم للحاسب الدقيق و المعالج الدقيق . . . . . ١١٦
٥- ٢ هيئة البيانات الرقمية القياسية . . . . . ١٢١
تدريبات على الوحدة الخامسة . . . . . ١٢٢

الوحدة السادسة : مواجهات الدخل والخرج . . . . . ١٢٤
٦- ١ مواجهة الدخل . . . . . ١٢٥
٦- ٢ مواجهة الخرج . . . . . ١٢٦
٦- ٣ الذاكرة . . . . . ١٢٧
٦- ٤ النظام الخارجي للذاكرة . . . . . ١٢٨
٦- ٥ خريطة الذاكرة . . . . . ١٣٠
٦- ٦ وحدة فك الشفرة الثنائي Binary Decoder . . . . . ١٣٢
٦- ٧ مراحل القراءة و الكتابة . . . . . ١٣٤
٦- ٨ إمكانيات الاتصال بين المعالج و الوحدات في نقل البيانات . . . . . ١٣٤
تدريبات على الوحدة السادسة . . . . . ١٣٧
الوحدة السابعة : التكوين الداخلي للذاكرة . . . . . ١٤٠
مقدمـــــة . . . . . ١٤١
٧- ١ أساسيات ذاكرة شبه الموصل Basics of semiconductor memory . . . . . ١٤١
٧- ٢ ذاكرات الوصول العشوائية Random-Access Memories (RAMs) . . . . . ١٤٧
٧- ٣ ذاكرات القراءة فقط Read Only Memories . . . . . ١٤٩
٧- ٤ توسعة الذاكرة Memory Expansion . . . . . ١٥٠
الوحدة الثامنة :معالجة البيانات . . . . . ١٥٦
مقـــــدمة . . . . . ١٥٧
٨- ١ البنية الأساسية للمعالج الدقيق وتشغيله . . . . . ١٥٧
٨- ٢ معالجة البيانات . . . . . ١٥٧
٨- ٣ مصادر مسجل العنوان . . . . . ١٦٠
٨- ٤ المعالج Intel 8085A : المسجلات و التعليمات . . . . . ١٦١
٨- ٥ تفسير التعليمات أو الأوامر . . . . . ١٦٣
٨- ٧ العمليات المنطقية . . . . . ١٧١
٨- ٧- ١دليل محتوى مسجل الحالات . . . . . ١٧٢
٨- ٨ المخطط الانسيابي Flowchart . . . . . ١٧٣
٨- ٩ التعليمات أو الأوامر الفرعية Branch Instructions . . . . . ١٧٤
٨- ٩ التعليمات أو الأوامر الفرعية Branch Instructions . . . . . ١٧٤
تدريبات على الوحدة الثامنة . . . . . ١٧٩
المراجـــــع . . . . . ١٨٢